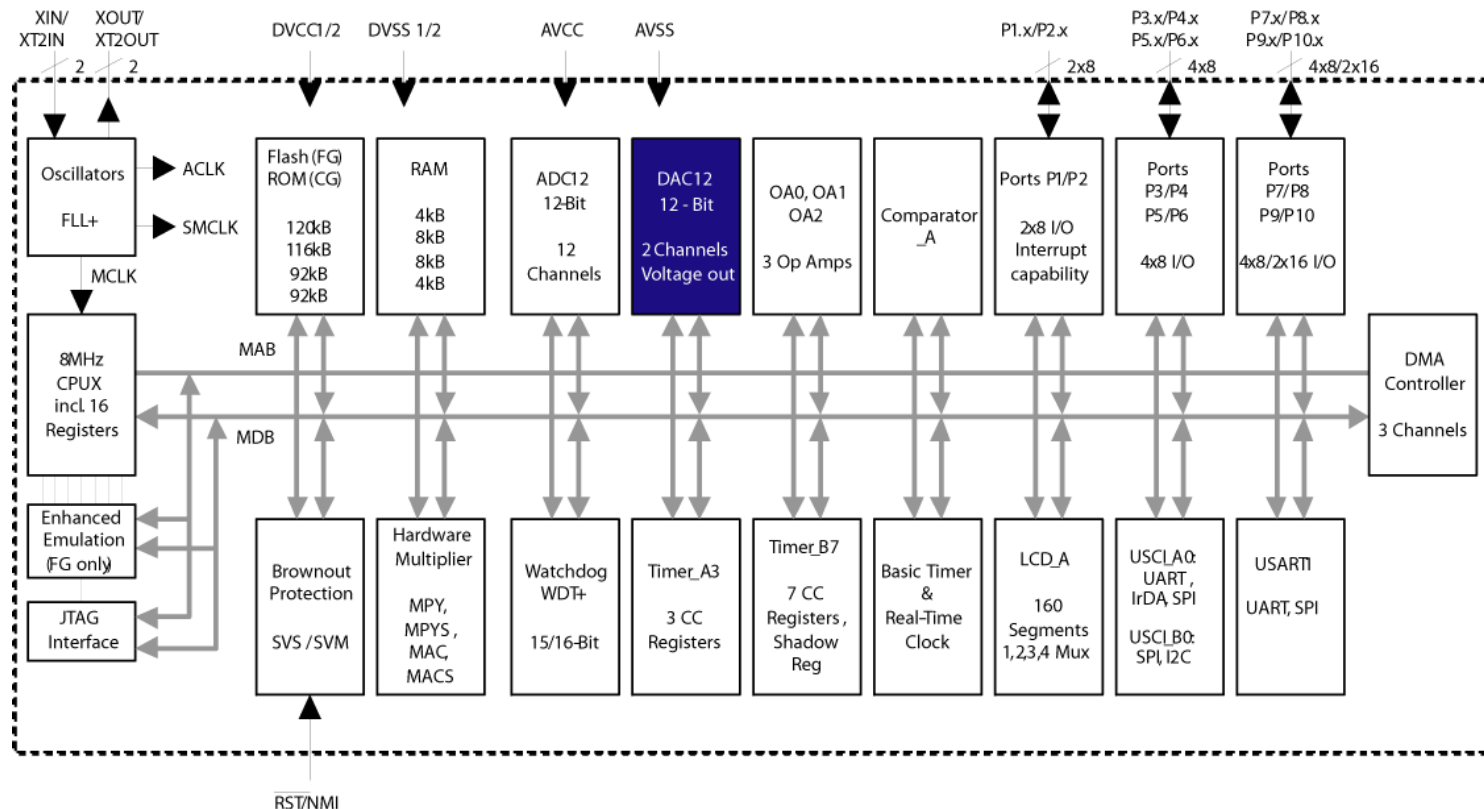
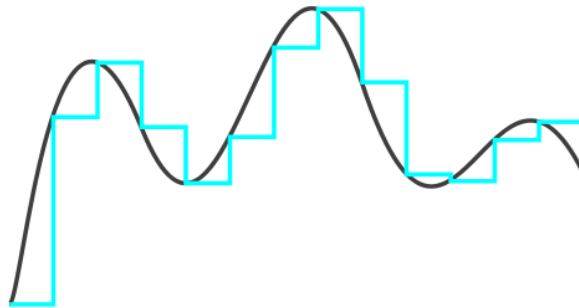


Conversion numérique-analogique (DAC)



Convertisseur Analogique-Numérique

- Un Convertisseur Numérique-Analogique (CNA, ou DAC pour *Digital to Analog Converter*) est un composant électronique dont la fonction est de générer à partir de valeurs numériques (codée sur plusieurs bits) des valeurs analogiques proportionnelles à la valeur numérique codée.

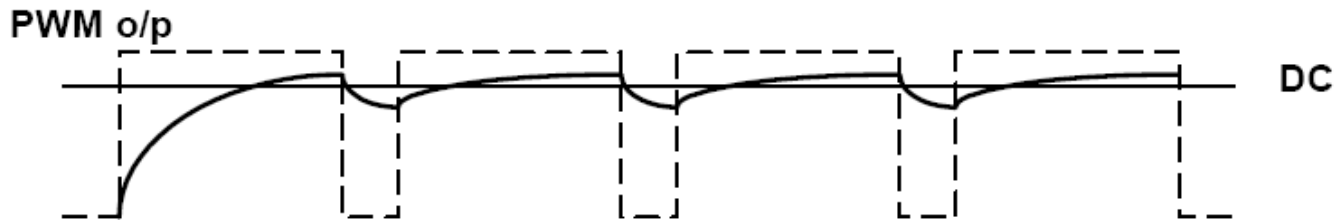


Il existe plusieurs solutions pour générer un signal analogique à partir d'un système numérique:

1. **MLI (modulation de largeur d'impulsion, PWM (Pulse Width Modulation)** en anglais,
2. **Réseau de résistances**, c'est la méthode des CNA/DAC au sens propre.

MLI - modulation de largeur d'impulsion (*PWM*)

- Le principe de la modulation de largeur d'impulsion est de générer un signal d'horloge dont le rapport cyclique est variable (rapport de la durée du signal au temps haut pendant une période sur la période).
- Si l'on extrait la moyenne de ce signal au moyen d'un **filtre passe-bas**, on peut obtenir une valeur analogique (plus ou moins constante ...) proportionnelle à ce rapport cyclique.



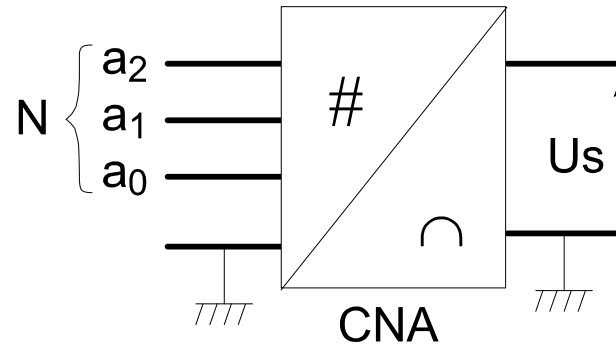
longer pulse width => higher DC value



shorter pulse width => lower DC value

Convertisseur Numérique Analogique

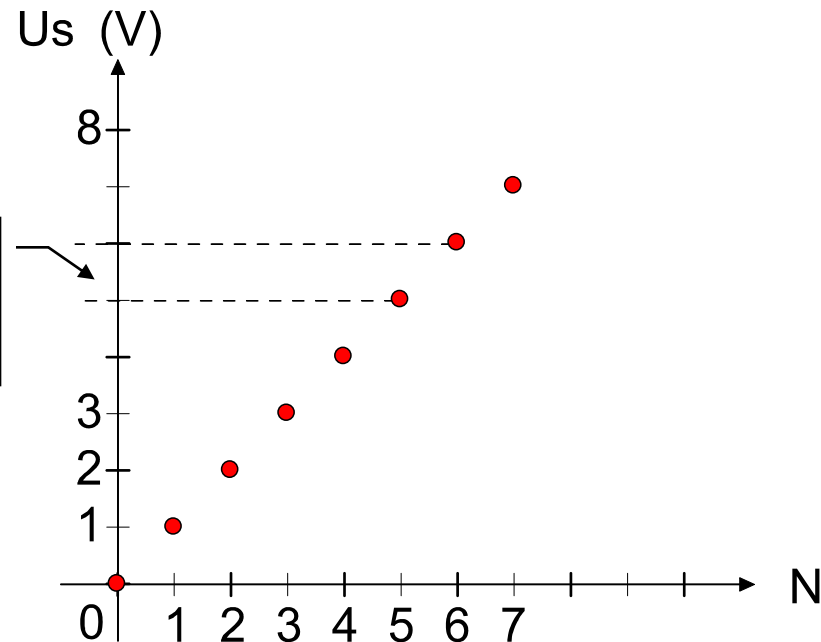
- Exemple d'un CNA 3 bits ($n = 3$)



U_s ne peut pas prendre n'importe quelle valeur :

$$U_s = r \cdot N$$

Résolution analogique
 $r = 1 \text{ V}$



Réseau de résistances

Le principe est de générer une valeur analogique en pondérant le poids de chaque bit d'information. Diverses méthodes existent :

Principe général

$$V_{out} = k * V_{ref} * \sum_{i=1}^n (2^{n-i} * a_{n-i})$$

V_{ref} = Maximum de la conversion

k = rapport de proportionnalité

n = nombre de bits du convertisseur

a_n = valeur du bit n (1 ou 0)

Le réseau unaire

le nombre de résistances associés à un bit correspond au poids de chaque bit ($2^n - i$ résistances pour coder le bit a_{n-i}). Cette méthode assure la monotonie de la valeur du signal mais requiert un nombre important de résistances (et interrupteurs).

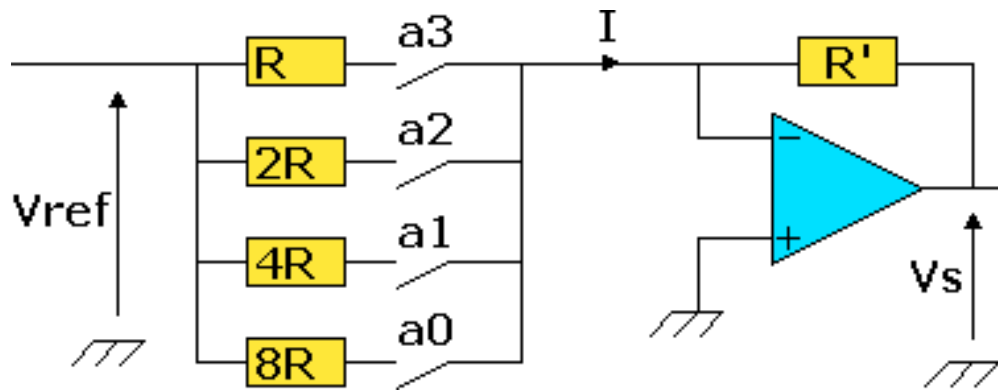
Le réseau binaire

chaque résistance correspond au poids de chaque bit. Cette méthode requiert une grande précision sur la valeur des résistances des bits **MSB**

Le réseau R-2R

on réalise une échelle avec un faible nombre de valeurs de résistances. Cette méthode est plus adaptée à la fabrication sur **silicium**.

Réseau de résistances



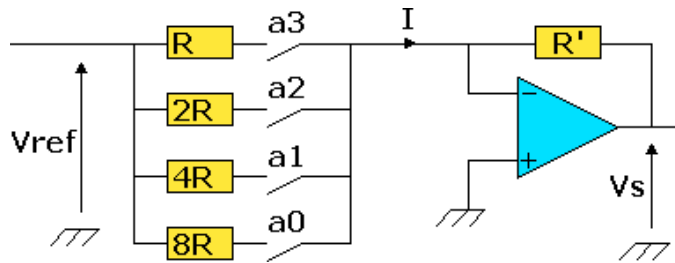
$$I = -\frac{V_s}{R'} = V_{ref} \left(\frac{a_3}{R} + \frac{a_2}{2R} + \frac{a_1}{4R} + \frac{a_0}{8R} \right)$$

$$V_s = -\frac{V_{ref} \cdot R'}{8R} (2^3 \cdot a_3 + 2^2 \cdot a_2 + 2^1 \cdot a_1 + 2^0 \cdot a_0)$$

a_0, a_1, a_2, a_3 sont des coefficients pouvant prendre les valeurs 1 ou 0

par exemple, si le contact a_3 est fermé: $a_3 = 1$

Réseau de résistances



$$I = -\frac{V_s}{R'} = V_{ref} \left(\frac{a_3}{R} + \frac{a_2}{2R} + \frac{a_1}{4R} + \frac{a_0}{8R} \right)$$

$$V_s = -\frac{V_{ref} \cdot R'}{8R} (2^3 \cdot a_3 + 2^2 \cdot a_2 + 2^1 \cdot a_1 + 2^0 \cdot a_0)$$

Application numérique

Soit le nombre binaire $N = a_3 a_2 a_1 a_0$, ($a_i = 0$ ou 1)

$R = R' = 10k$,

$V_{ref} = +8V$

si $N = 0000$ (a_3, a_2, a_1, a_0 ouverts) donc $V_s = 0V$

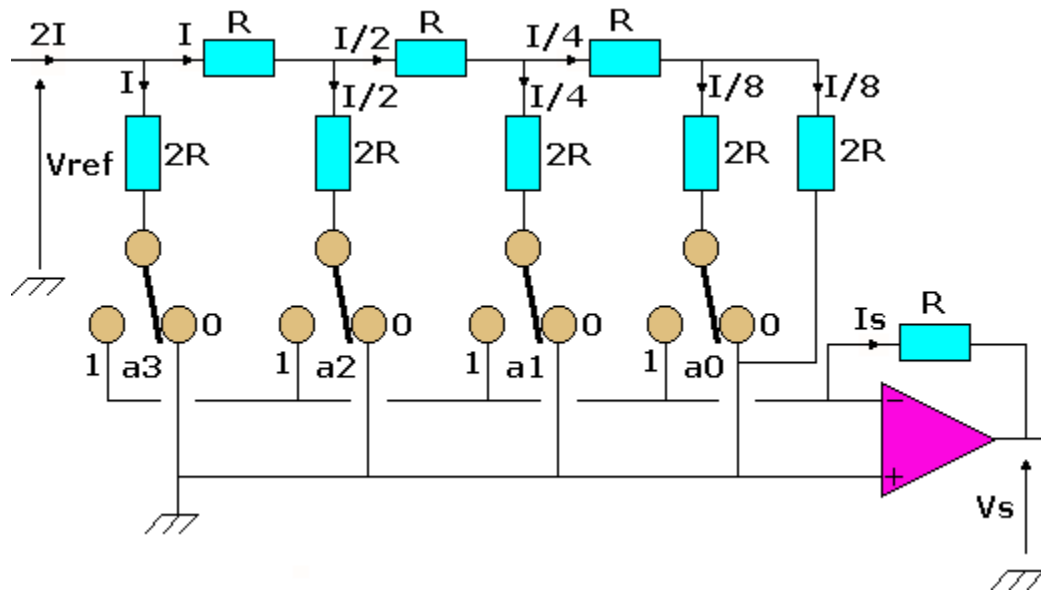
si $N = 1111$ (a_3, a_2, a_1, a_0 fermés) donc $V_s = -15V$

Question

Calculer N pour $V_s = -9V$

Réseau de résistances R-2R

Applet (animation)

<http://stielec.ac-aix-marseille.fr/cours/abati/cna.htm>

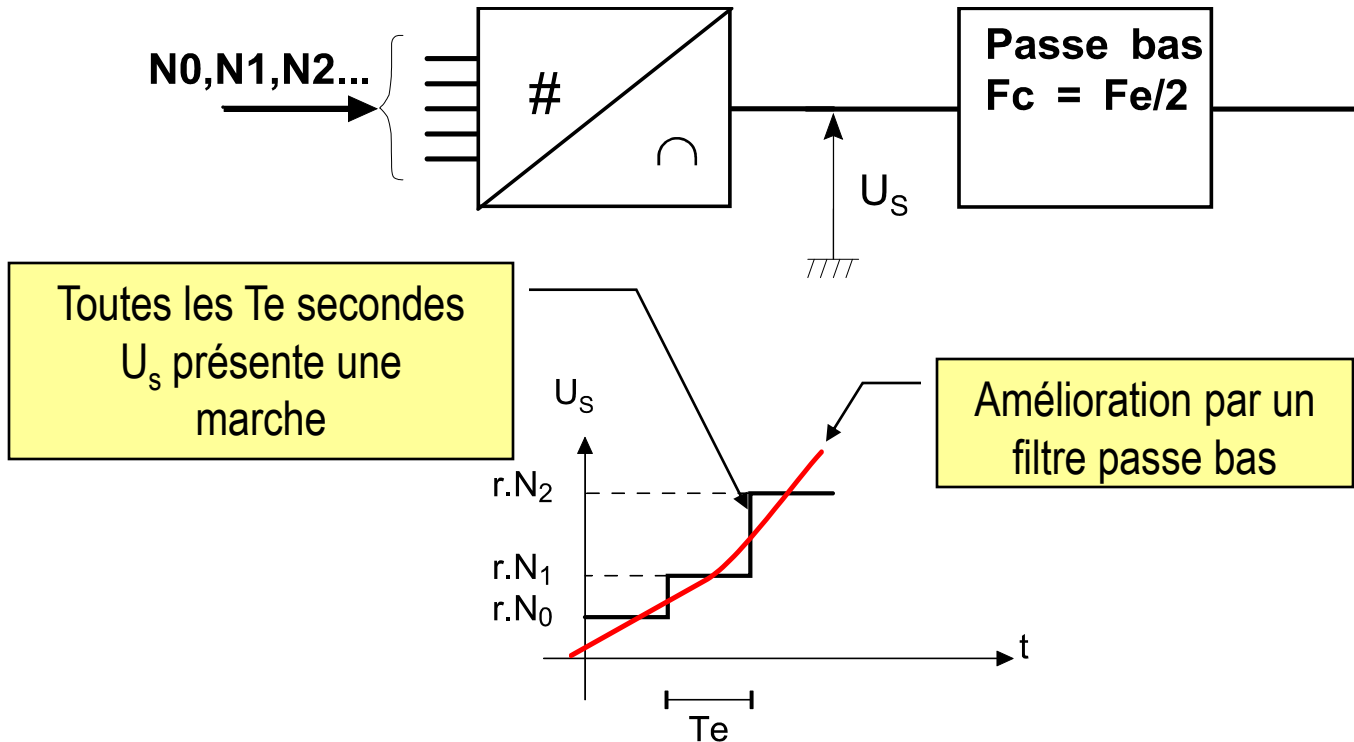
Le commun des commutateurs a_3 , a_2 , a_1 et a_0 est toujours la masse, ceci quelle que soit la position des commutateurs.

$$V_s = -R \cdot I_s = -R \left(a_3 \cdot I + a_2 \cdot \frac{I}{2} + a_1 \cdot \frac{I}{4} + a_0 \cdot \frac{I}{8} \right) \quad \text{avec } I = \frac{V_{ref}}{2R}$$

$$V_s = -\frac{V_{ref}}{16} (2^3 \cdot a_3 + 2^2 \cdot a_2 + 2^1 \cdot a_1 + 2^0 \cdot a_0)$$

Restitution d'un signal échantillonné

La séquence des nombres N_i est présentée à l'entrée du CNA à la fréquence F_e .



Circuits ADC et DAC seuls

Il existe une myriade de circuits ADC et DAC qui ne sont pas intégrés dans un microcontrôleur. Comme il existe des microcontrôleurs sans ADC et/ou DAC.

Il s'agit alors de combiner un circuit optimal pour chaque application.



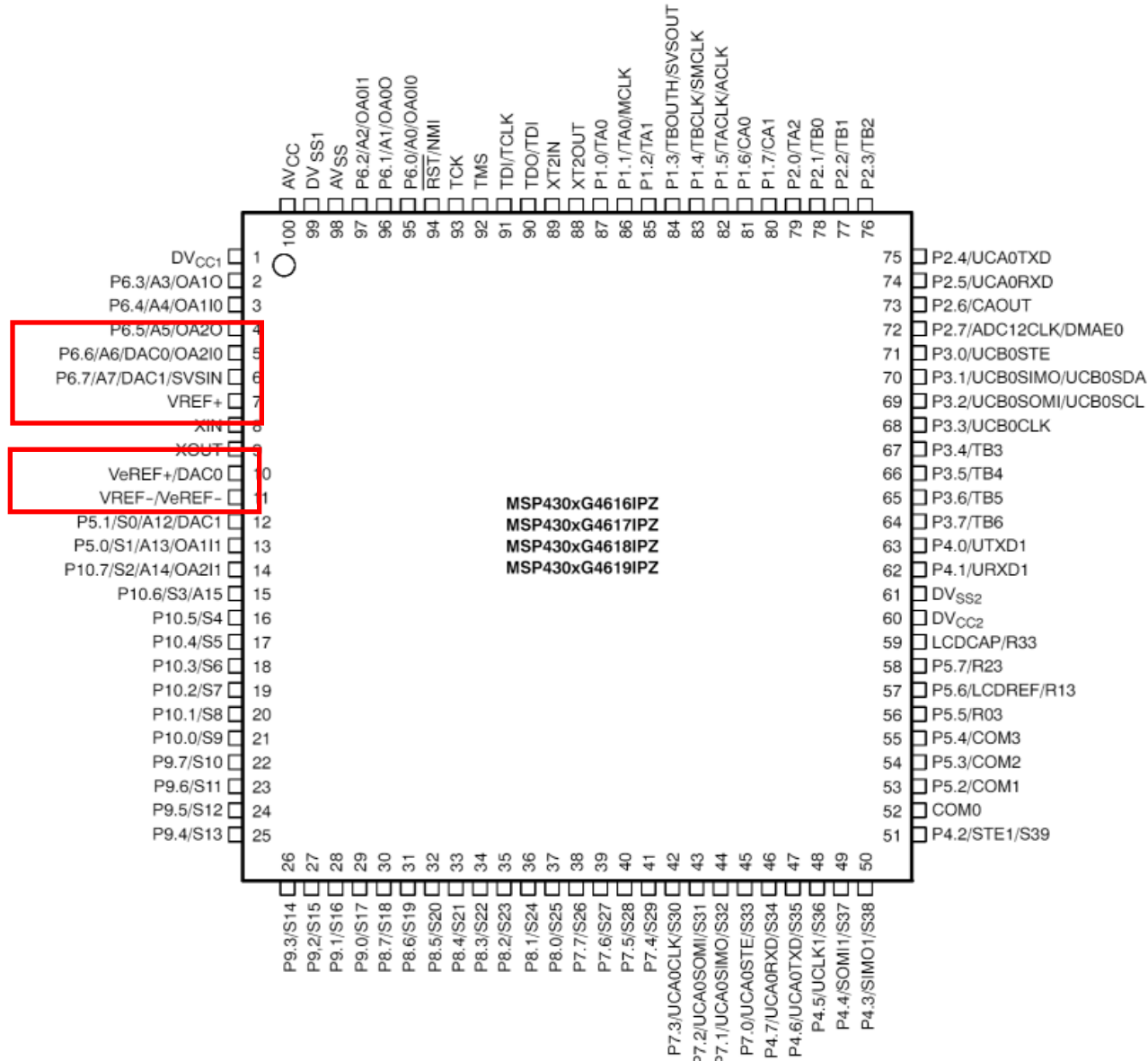
Cette (ancienne) brique de contrôle LEGO Mindstorms n'avait que trois entrées analogiques.

A l'aide d'un circuit DAC on pouvait utiliser une de ces entrées analogique pour interfacer de 6 à 8 entrées numériques.

Caractéristiques principales du DAC du MSP430FG4617

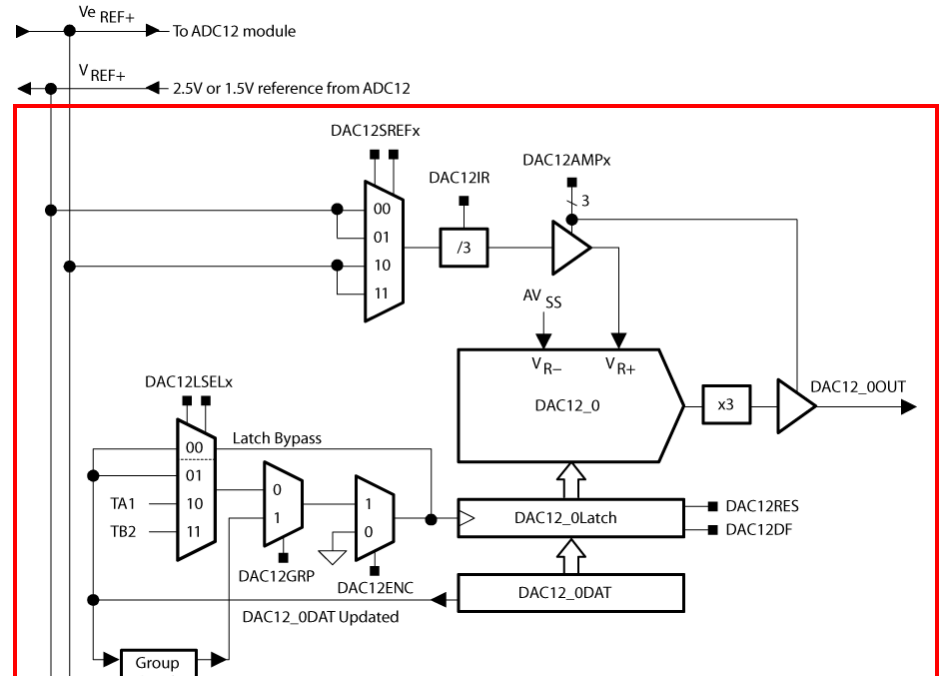
- Convertisseur deux canaux avec une résolution de 8 bits ou de 12 bits
- Basé sur un réseau R-2R
- Temps d'établissement programmable en fonction de la puissance à disposition
- Synchronisation possible entre les deux canaux
- Référence de tension interne ou externe
- Auto calibration pour suppression de l'offset
- Contrôle des séquences d'acquisition (simple, répétitive, unique, séquentielle)
- Utilisation de l'accès direct en mémoire
- Format binaire non signé ou complément à deux
- Utilisation de l'accès direct en mémoire

pin designation, MSP430xG461xIPZ

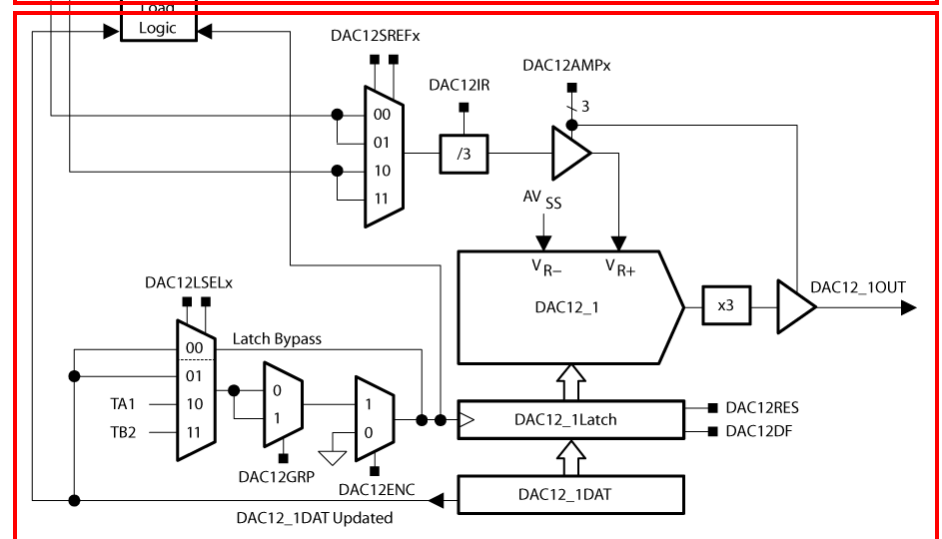


Cœur du convertisseur A/D

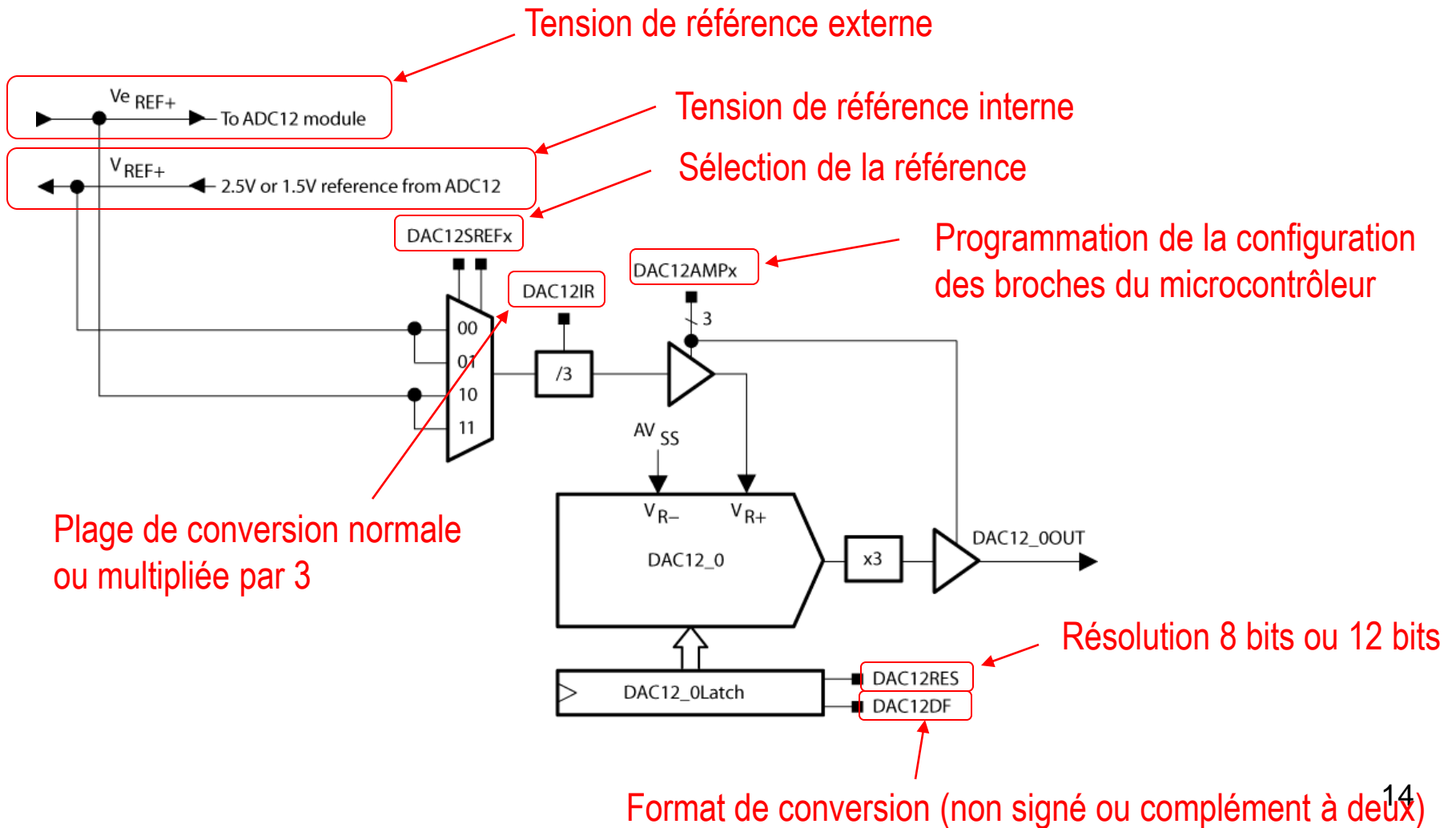
Canal 1



Canal 2



Références et convertisseur DA

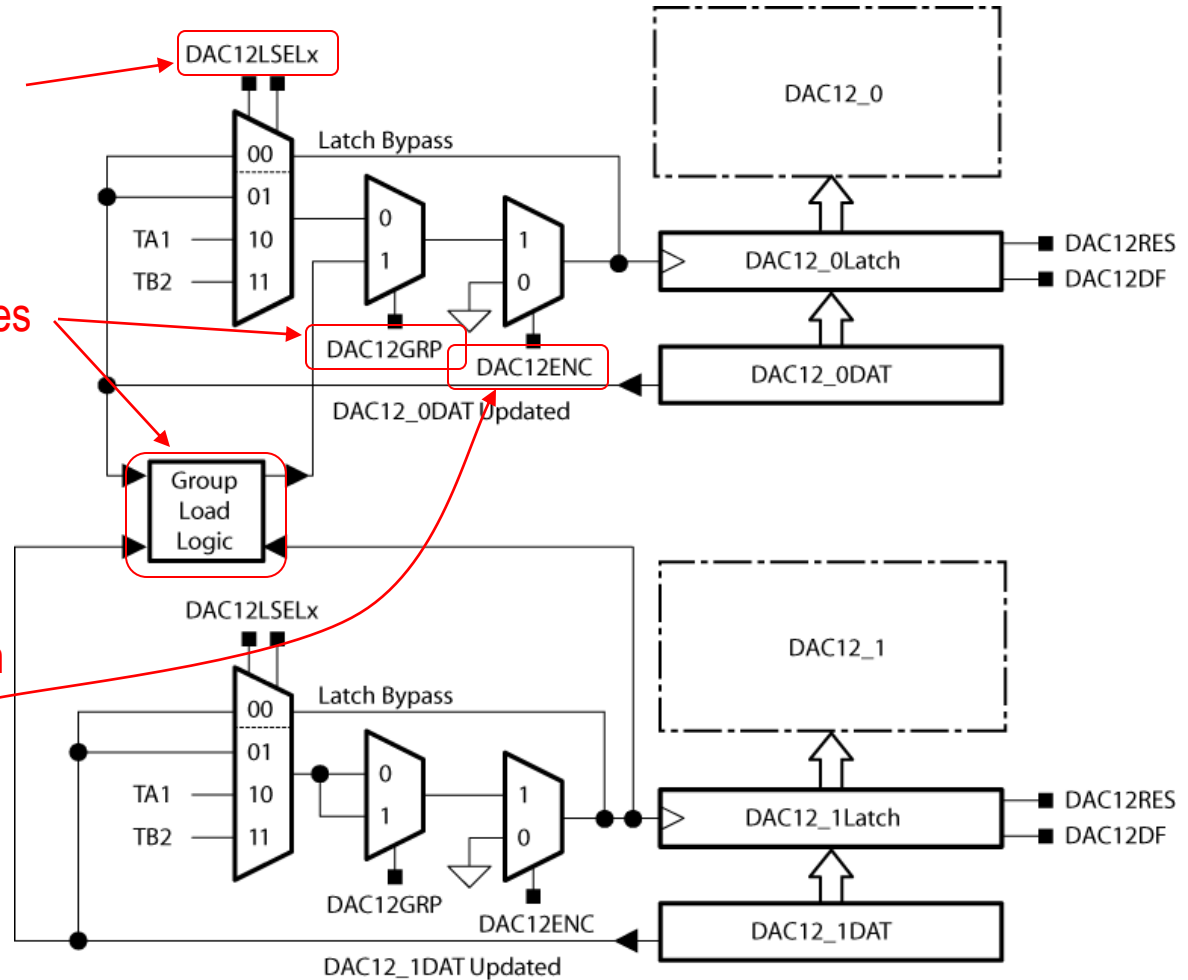


Contrôle et synchronisation des DAC

Mode de mémorisation du contenu du registre DAC_12_0DAT dans le registre DAC12_0Latch

Synchronisation de la mémorisation des registres DAC_12_xDAT dans les registres DAC12_xLatch

Permet de bloquer toute modification du registre DAC12_0Latch



Configuration du cœur du DAC12

- Le convertisseur DA12 peut être configuré pour travailler en mode 8 ou 12 bits grâce au bit de contrôle **DAC12RES**.
- La plage de tension de sortie est programmable entre 1 et 3 fois la tension de référence à l'aide du bit **DAC12IR**. Cette possibilité permet à l'utilisateur de configurer la plage dynamique du convertisseur AD12.
- Le bit **DAC12DF** bit permet à l'utilisateur de sélectionner le format numérique de conversion, soit non signé ou complément à deux.
- En mode non signé, les relations entre valeurs numériques et tension de sortie sont données dans le tableau ci-dessous.

Resolution	DAC12RES	DAC12IR	Fonctin de conversion pour la sortie
12 bit	0	0	$V_{out} = V_{ref} \times 3 \times \frac{DAC12_xDAT}{4096}$
12 bit	0	1	$V_{out} = V_{ref} \times \frac{DAC12_xDAT}{4096}$
8 bit	1	0	$V_{out} = V_{ref} \times 3 \times \frac{DAC12_xDAT}{256}$
8 bit	1	1	$V_{out} = V_{ref} \times \frac{DAC12_xDAT}{256}$

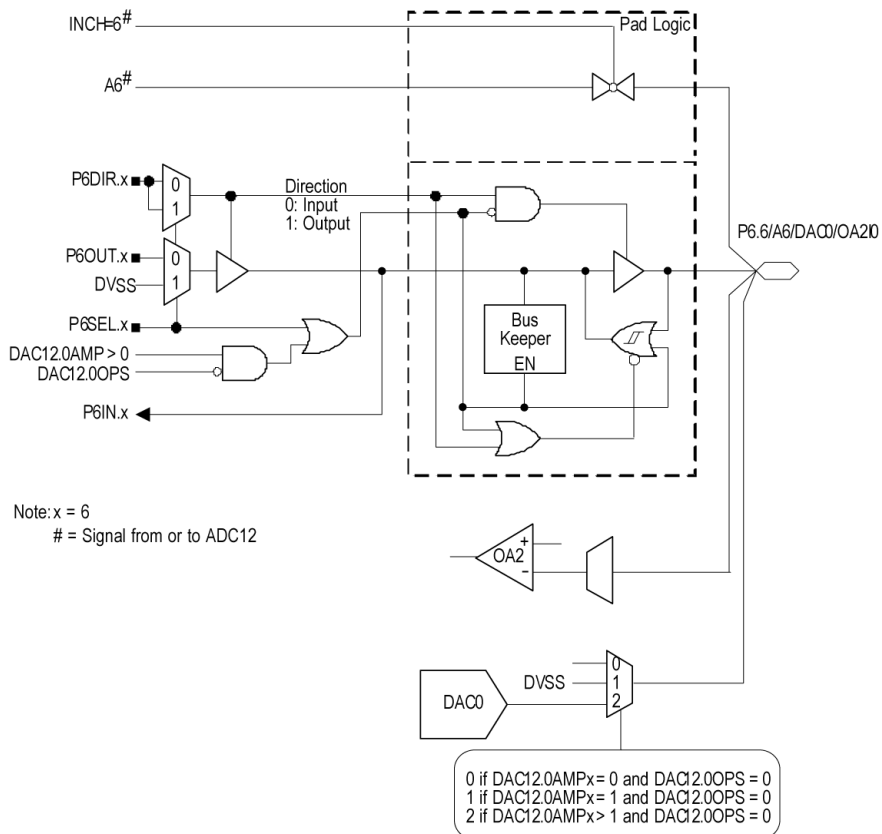
Assignation des broches du MSP430

- Les sorties analogiques DAC12 sont multiplexées avec le port P6 (broches P6.6 et P6.7) et le port P5 (broche P5.1) et VeREF+.
- Lorsque $DAC12AMP_x > 0$, la fonction DAC12 est automatiquement sélectionnée sur la broche associée, sous réserve de la confirmation correcte des bits PxSELx et PxDIRx des broches correspondantes.
- Le bit DAC12OPS fait la sélection entre les broches P6.6 et P6.7 ou VeREF+ et P5.1 pour les sorties du DAC.
- Par exemple pour $DAC12OPS = 0$, la sortie DAC12_0 se trouve sur la broche P6.6 et la sortie DAC12_1 sur la broche P6.7.
- Lorsque $DAC12OPS = 1$, la sortie DAC12_0 se trouve sur la broche VeREF+ et la sortie DAC12_1 sur la broche P5.1 .

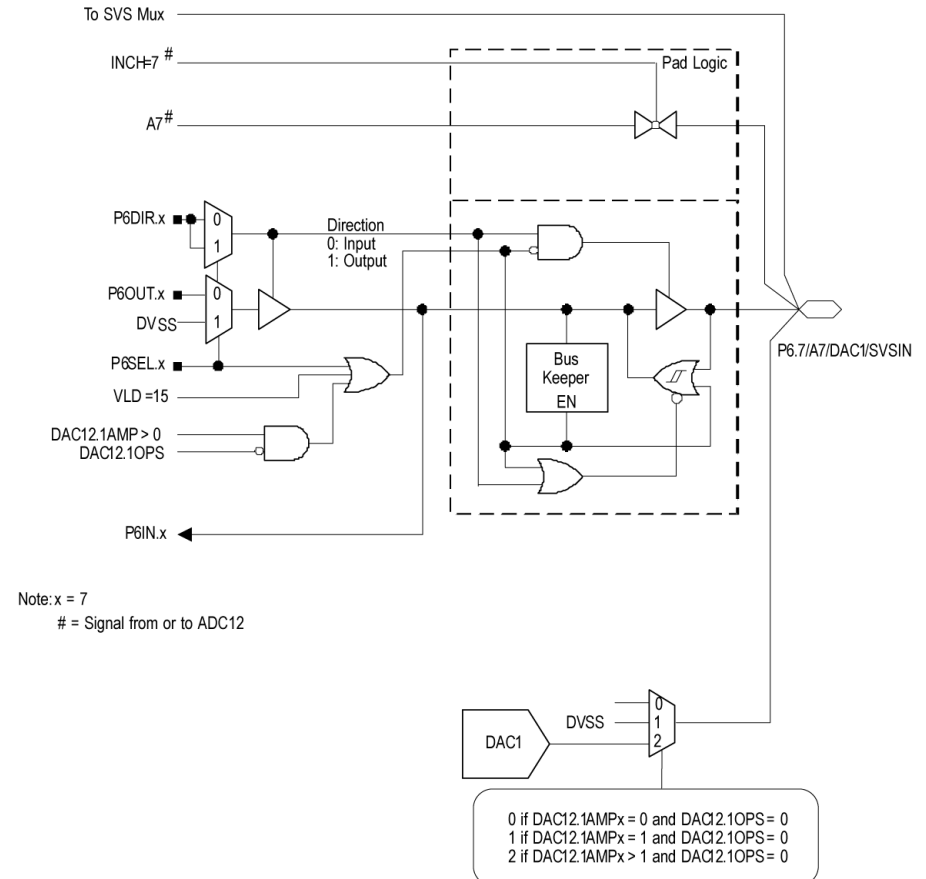
Assignation des broches du MSP430

DAC12OPS = 0

DAC12_0 : P6.6



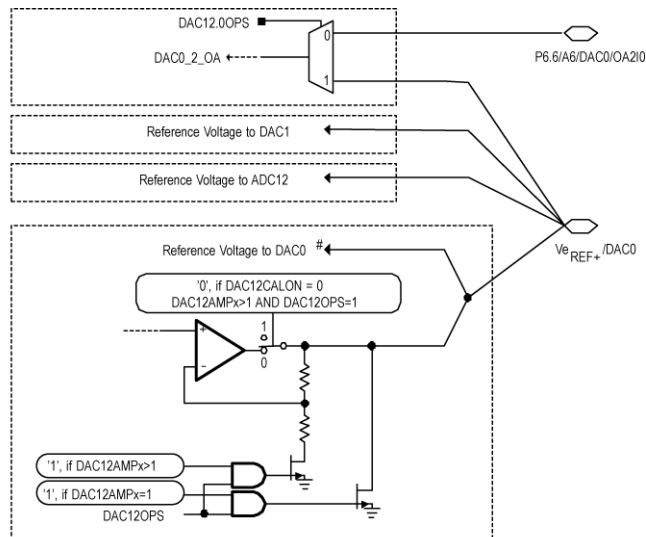
DAC12_1 : P6.7



Assignation des broches du MSP430

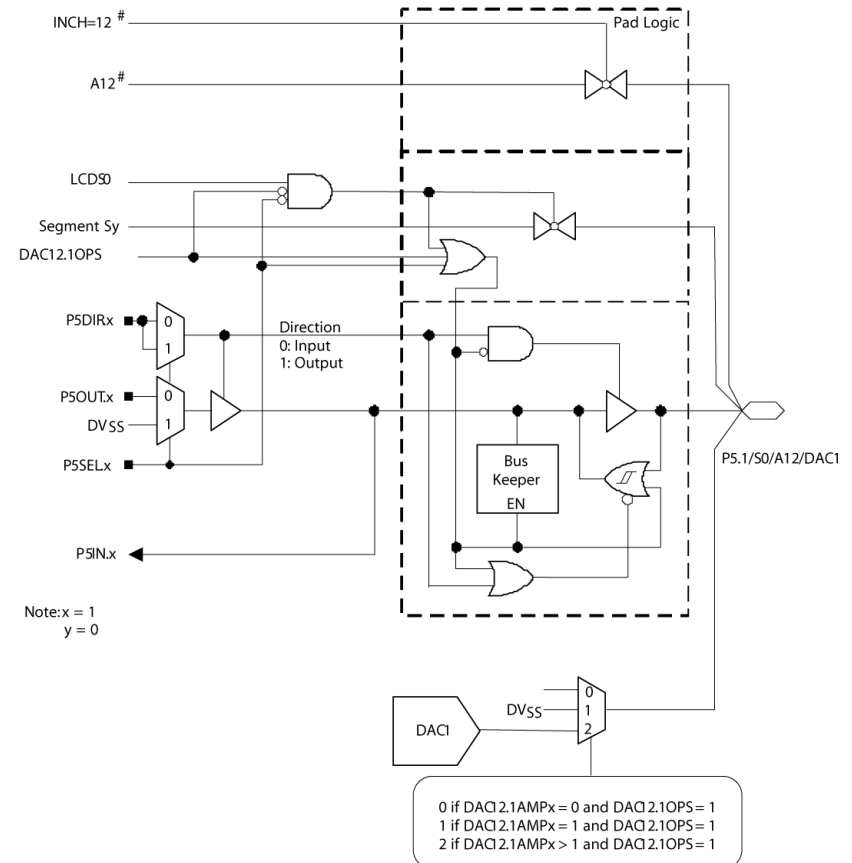
DAC12OPS = 1

DAC12_0 : VeREF+



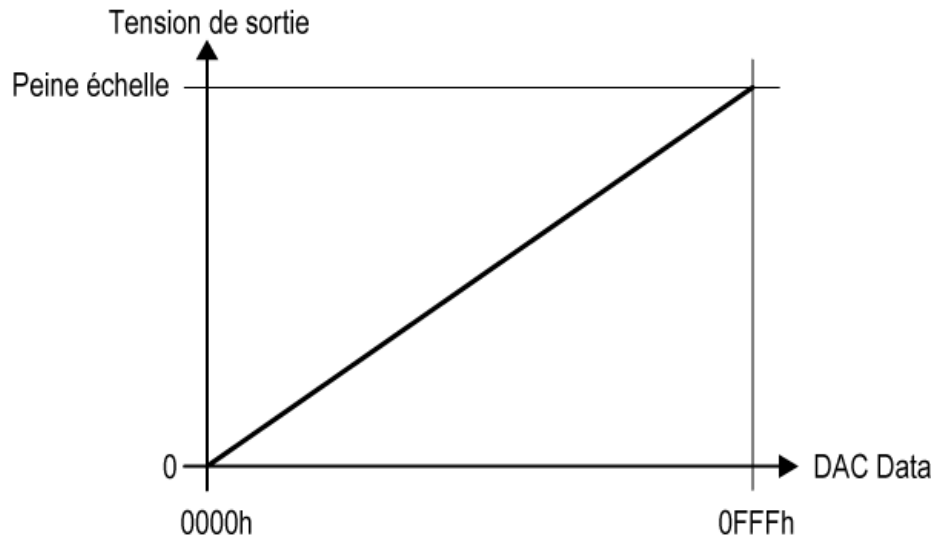
If the reference of DAC0 is taken from pin VeREF+/DAC0, unpredictable voltage levels will be on pin. In this situation, the DAC0 output is fed back to its own reference input.

DAC12_1 : P5.1

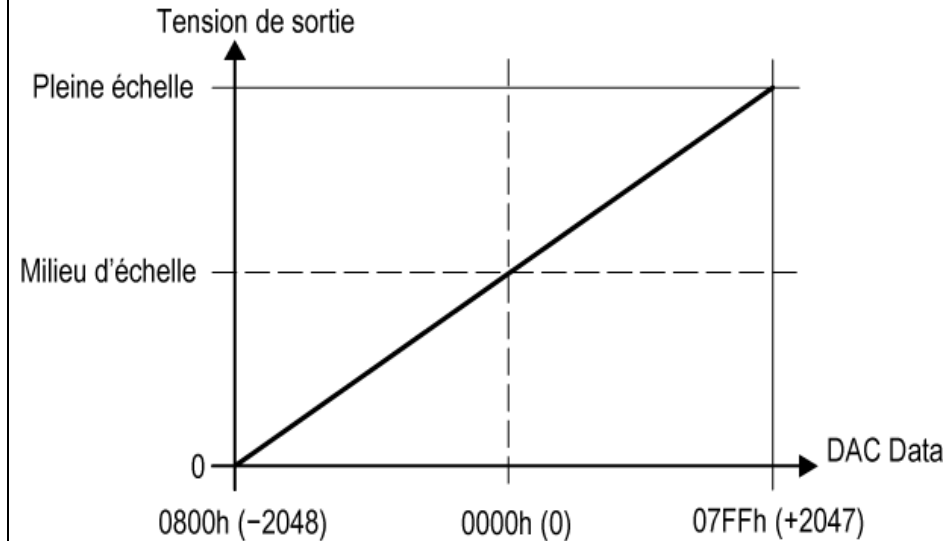


Format de la fonction de conversion

Format entier non signé



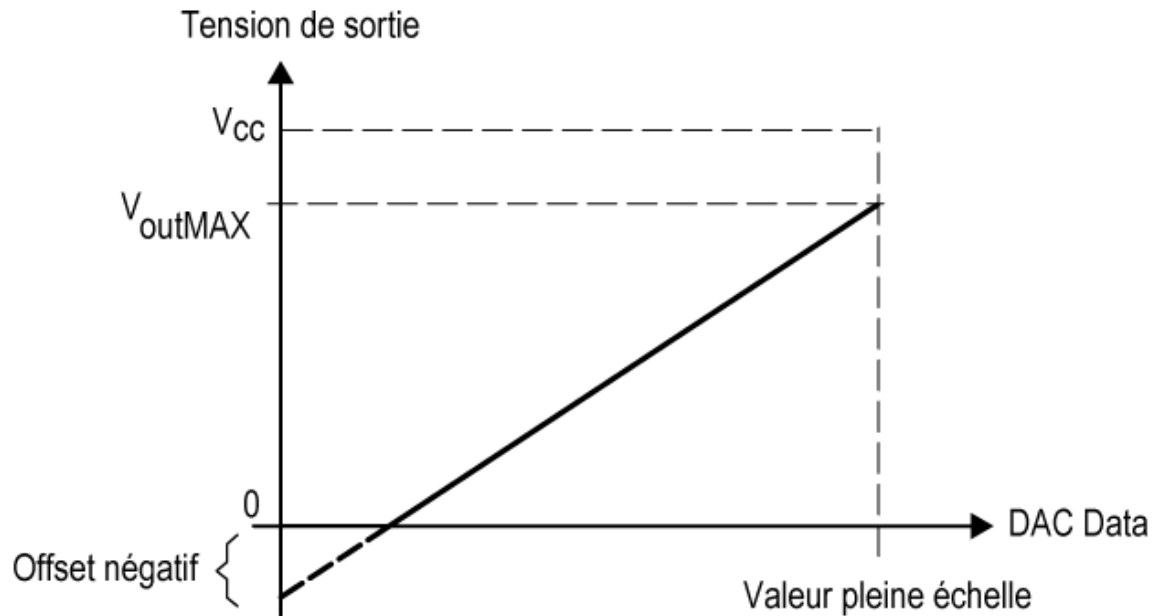
Format entier signé



En mode 8-bit la valeur numérique maximum contenue dans le registre DAC12_xDAT est 0FFh et en mode 12-bit 0FFFh. Six bits MSB correspondant à des valeurs plus élevées sont ignorés.

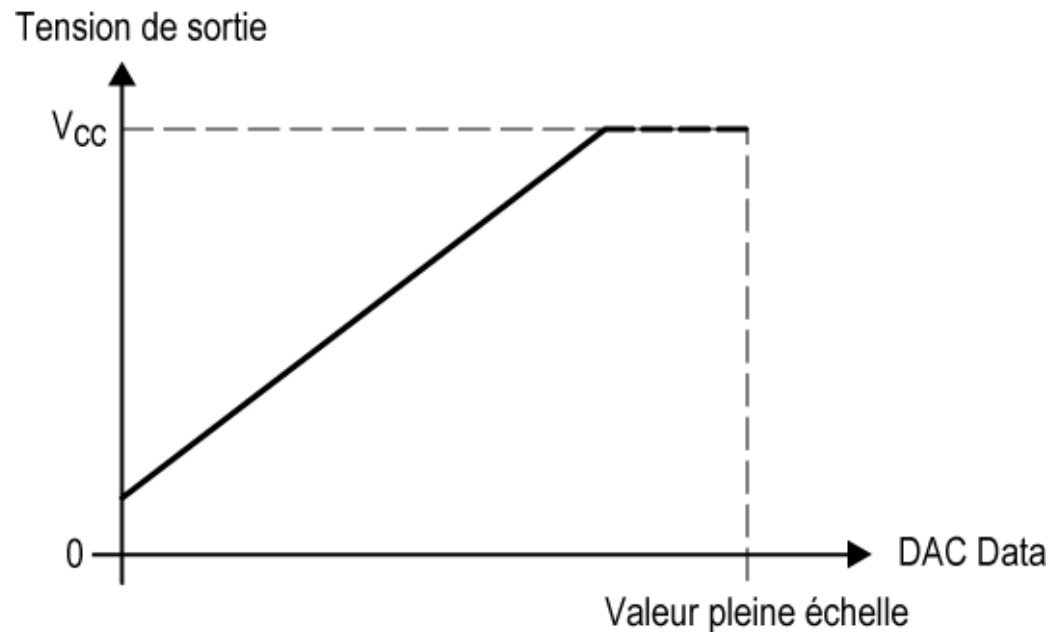
Calibration des amplificateurs de sortie du DAC

Les offsets des amplificateurs de sortie des DAC12 peut être positif ou négatif. Lorsque l'offset est négatif, la sortie de amplificateur sature vers 0V, comme le montre la figure ci-dessous



Calibration des amplificateurs de sortie du DAC

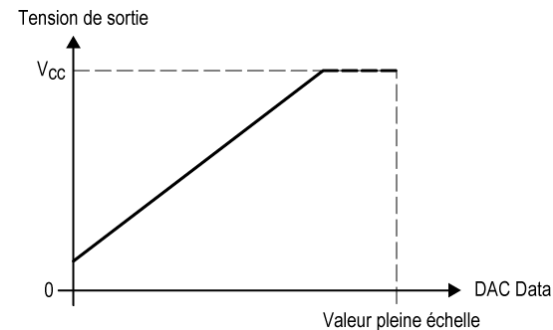
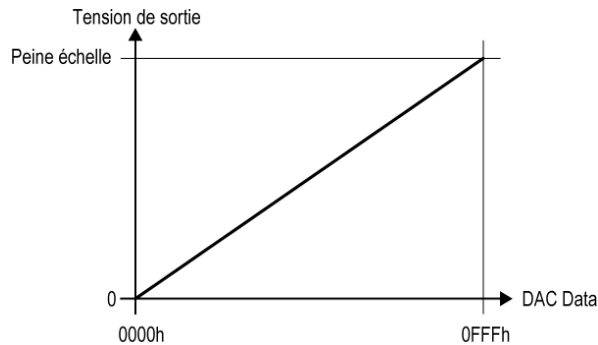
Lorsque les offsets des amplificateurs de sortie sont positifs, une sortie de 0V ne peut jamais être atteinte. Par contre la sortie va saturer à une tension maximum dépendante de la tension de référence. La figure ci-dessous illustre ce cas.



Exercices

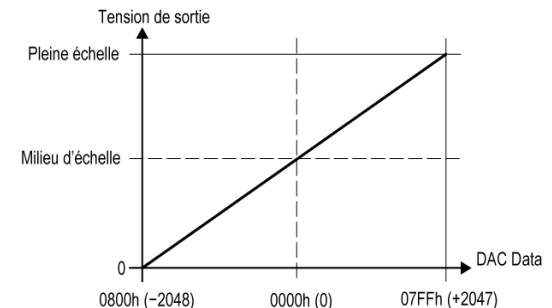
On a un DAC à 12 bit utilisé en format entier non signé avec un amplificateur dont la tension de sortie pleine échelle est de 5 V.

- Quel valeur d'entrée produira 3,5 V ?
- Et si l'ampli à un offset de 1 V, à quelle valeur il saturera ?



Le même DAC à 12 bit est utilisé en format entier signé avec un amplificateur dont la tension de sortie pleine échelle est de ± 5 V.

- Quel valeur d'entrée produira 1 V ?
- Et si l'ampli à un offset de +1 V, à quelle valeur il saturera ?
Et quelle sera la tension minimale (négative) atteignable ?



Calibration des amplificateurs de sortie du DAC

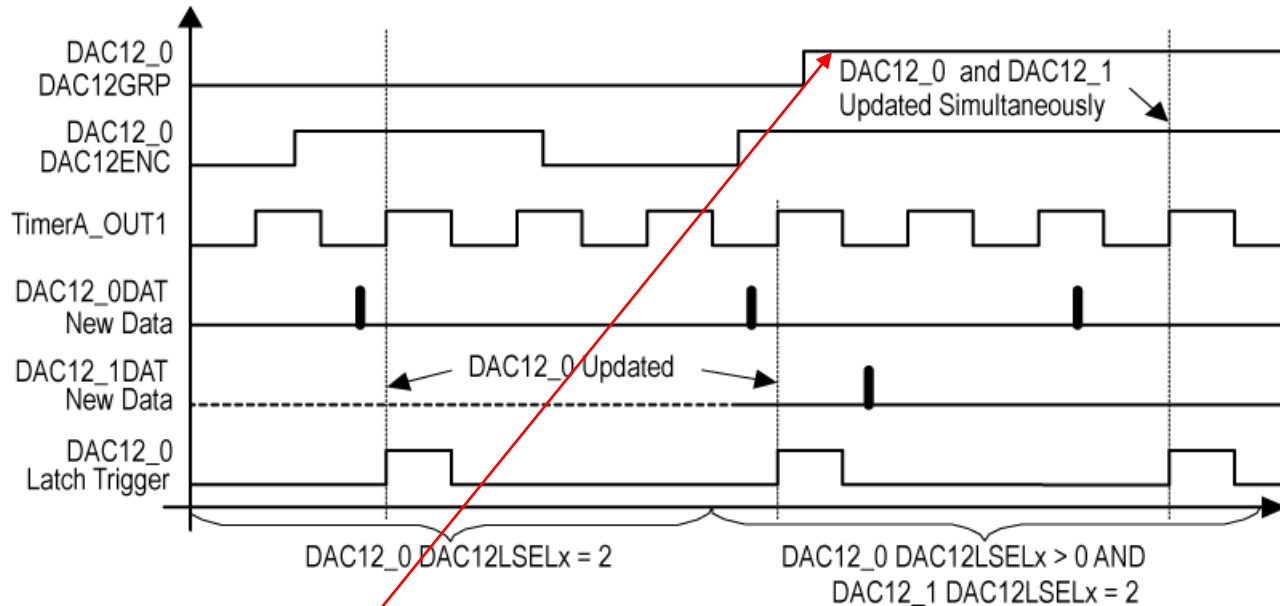
- Les convertisseurs DAC12 ont la possibilité d'être calibrés au niveau des offsets sur les amplificateurs de sortie.
- Forcer à 1 le bit DAC12CALON (DAC12_XCTL[9]) initie une calibration de l'offset. La calibration doit être complète avant l'utilisation du DAC12.
- Lorsque la calibration est complète, le bit DAC12CALON est automatiquement remis à 0.
- Les bits DAC12AMPx doivent être configurés avant la calibration.
- Pour avoir la meilleure calibration possible, il faut minimiser les activités de la CPU.

Synchronisation des sorties des DAC12

- Les DAC12 peuvent être groupés (à l'aide du bit DAC12GRP (DAC12_XCTL[0])) de manière à synchroniser la mise à jour des sorties de chaque DAC12. La synchronisation est réalisée par hardware de manière à assurer une mise à jour simultanée.
- Dans le cas du MPS430FG4617, le regroupement des deux DAC12 est réalisé en forçant à 1 le bit DAC12GRP du DAC12_0.
- Le bit DAC12GRP du DAC12_1 n'a aucun effet lorsque DAC12_0 et DAC12_1 sont groupés :
- Les bits DAC12LSELx () de DAC12_1 active la source de mise à jour des deux DAC12.
- Les bits DAC12SELx des deux DAC12 doivent être >0.
- Les bits DAC12ENC des deux DAC12 doivent être mis à 1.
- Lorsque les sortie DAC12_0 et DAC12_1 sont groupé, les deux registres DAC12_xDAT doivent être chargés avant la mise à jour des sorties, même si les données de l'un ou des deux registres ne changent pas.

Synchronisation des sorties des DAC12

La figure ci-dessous montre un exemple de synchronisation des sorties lors d'un regroupement de DAC12_0 et DAC12_1.

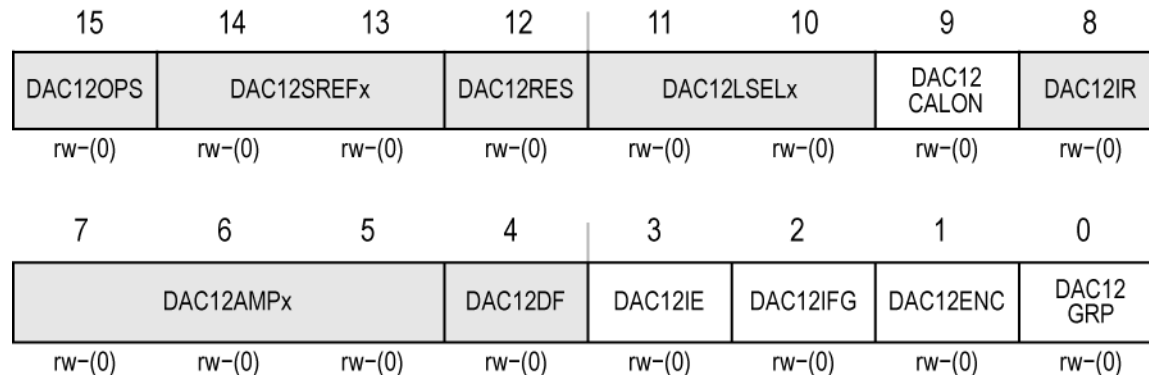


Lorsque le bit **DAC12GRP = 1** de DAC12_0 et les deux bits **DAC12LSELx** de chaque DAC12_x > 0 et si DAC12ENC = 0 alors DAC12 ne sera pas mis à jour

Les registres DAC12

Registre	Nom	Type	Adresse	Valeur initiale
DAC12_0 contrôle	DAC12_0CTL	Ecriture / Lecture	0x01C0	Reset avec POR
DAC12_0 données	DAC12_0DAT	Ecriture / Lecture	0x01C8	Reset avec POR
DAC12_1 contrôle	DAC12_1CTL	Ecriture / Lecture	0x01C2	Reset avec POR
DAC12_1 données	DAC12_1DAT	Ecriture / Lecture	0x01CA	Reset avec POR

Registre de contrôle DAC12_xCTL



Modifiable only when DAC12ENC = 0

DAC12OPS : DAC12_XCTL[15] : Sélection de la broche de sortie. Pour le MSP430FG4617 :

0 : sortie DAC12_0 sur P6.6, DAC12_1 sur P6.7

1 : sortie DAC12_0 sur VeREF+, DAC12_1 sur P5.1

DAC12SREFx : DAC12_XCTL[14 - 13] : Sélection de la référence de tension . Pour le MSP430FG4617

00 : VREF+

01 : VREF+

10 : VeREF+

11 : VeREF+

Registre de contrôle DAC12_xCTL

- DAC12RES** : DAC12_XCTL[12] : Sélection de la résolution.
0 : résolution 12-bit
1 : résolution 8-bit
- DAC12LSELx** : DAC12_XCTL[11 - 10] : contrôle du chargement des données.
DAC12ENC doit être mis à 1 pour que le DAC puisse être mis à jour, excepté si DAC12LSELx=0
00 : DAC12 est chargé lorsque le registre DAC12_xDAT est écrit (DAC12ENC est ignoré)
01 : DAC12 est chargé lorsque le registre DAC12xDAT est écrit ou, lorsque groupé, tous les registres DAC12_xDAT du groupe sont écrits
10 : flanc montant de Timer A (TA1)
11 : flanc montant de Timer B (TB2)
- DAC12CALON** : DAC12_XCTL[9] : Activation de la calibration. Ce bit initie une séquence de calibration de l'offset. Il est automatiquement remis à 0 à lorsque la calibration est effectuée.
0 : calibration inactive
1 : démarrage de la calibration et calibration active.
- DAC12IR** : DAC12_XCTL[8] : Plage d'entrée du DAC12.
0 : Sortie pleine échelle : 3x référence de tension
1 : Sortie pleine échelle : 1x référence de tension

Registre de contrôle DAC12_xCTL

DAC12AMPx : DAC12_XCTL[7- 5] : Sélection du temps d'établissement de la tension de sortie en fonction du courant de consommation des amplificateurs d'entrée et de sortie du DAC12

DAC12AMPx	Buffer d'entrée	Buffer de sortie
000	OFF	DAC12 OFF, sortie haute impédance
001	OFF	DAC12 OFF, sortie à 0V
010	Basse vitesse / courant	Basse vitesse / courant
011	Basse vitesse / courant	Vitesse moyenne / courant
100	Basse vitesse / courant	Haute vitesse / courant
101	Vitesse moyenne / courant	Vitesse moyenne / courant
110	Vitesse moyenne / courant	Haute vitesse / courant
111	Haute vitesse / courant	Haute vitesse / courant

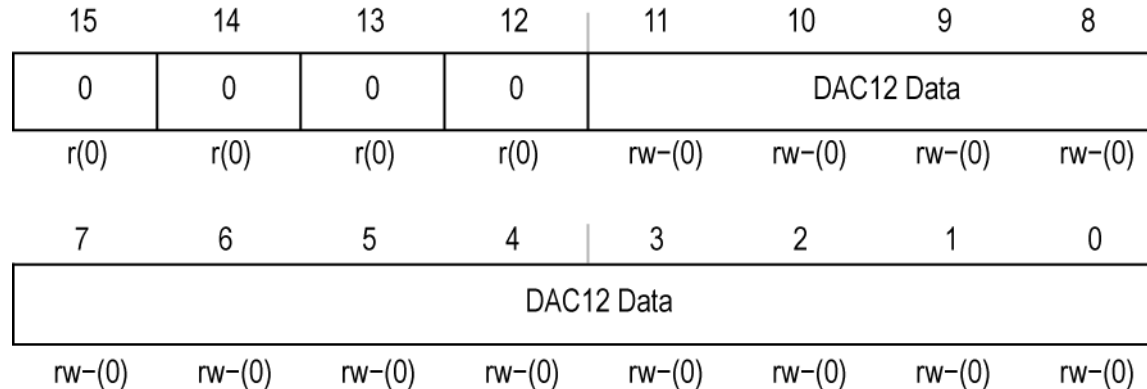
DAC12DF : DAC12_XCTL[4] : Format de donnée
 0 : binaire non signé
 1 : complément à deux

DAC12IE : DAC12_XCTL[3] : activation des interruptions
 0 : désactivation
 1 : activatino

Registre de contrôle DAC12_xCTL

- DAC12IFG** : DAC12_XCTL[2] : Flag d'indication d'interruption
0 : pas d'interruption pendante
1 : interruption pendante
- DAC12ENC** : DAC12_XCTL[1] : autorise les conversions. Ce bit active le convertisseur DA12 lorsque DAC12LSELx > 0.
Lorsque DAC12LSELx=0, DAC12ENC est ignoré
0 : DAC12 désactivé
1 : DAC12 activé
- DAC12GRP** : DAC12_XCTL[0] : Groupe les DAC12_0 avec le DAC12_1
0 : Pas groupé
1 : Groupé

Registre de donnée DAC12_xDAT



DAC12Data : donnée pour le convertisseur DA12
 [15 – 12] : ces bits sont toujours à 0
 [11 – 0] : données pour DA12

DAC12 : Format	DAC12 : Données
12-bit non signés	Donnée justifiée à droite, le bit 11 est le MSB
12-bit complements à deux	Donnée justifiée à droite, le bit 11 est le MSB (bit de signe)
8-bit non signés	Donnée justifiée à droite, le bit 7 est le MSB, les bits 8 à 11 ne sont pas pris en compte
8-bit complements à deux	Donnée justifiée à droite, le bit 11 est le MSB (bit de signe), les bits 8 à 11 ne sont pas pris en compte