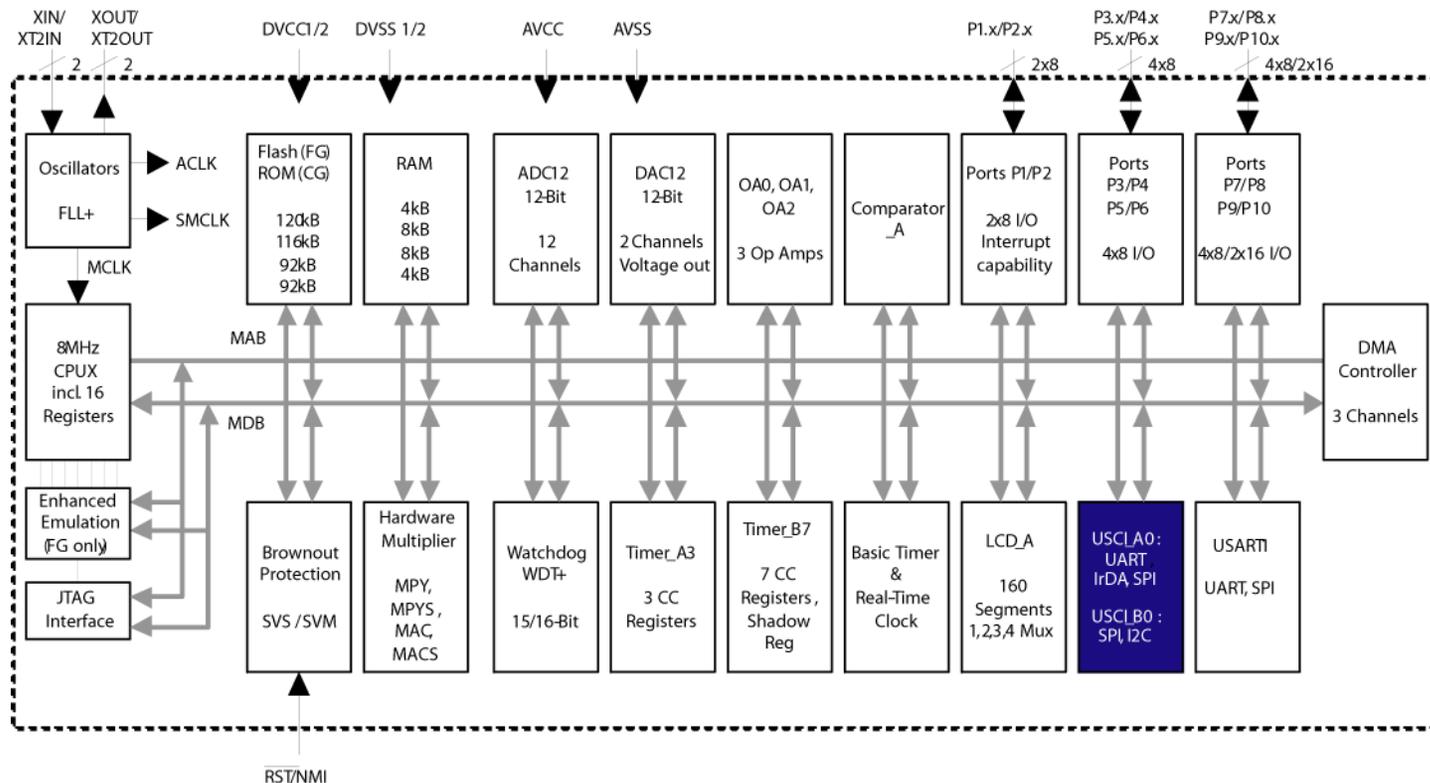


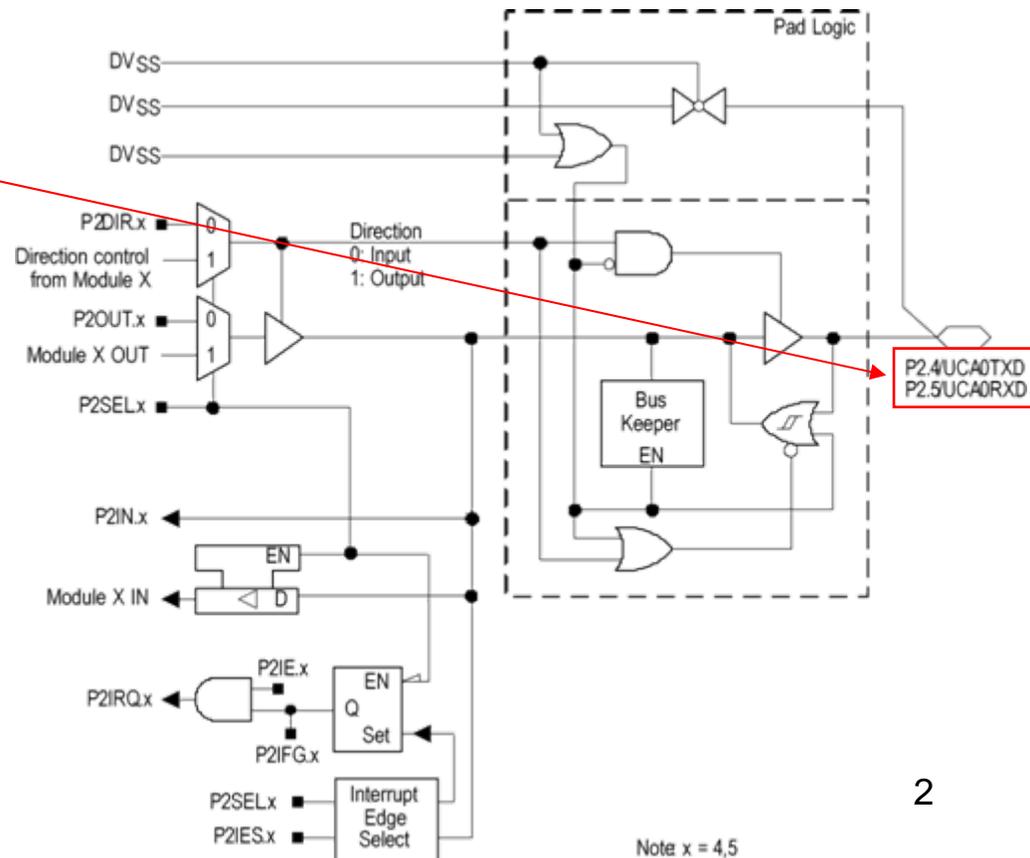
Universal Serial Communication Interface (USCI) en mode UART



USCI : UART Mode

En mode asynchrone, le module USCI_A0 a ses entrées / sorties connectées aux broches par l'intermédiaire de deux bornes, UCA0RXD et UCA0TXD externes.
Le mode UART est choisi lorsque le bit UCSYNC est forcé à 0.

Par exemple pour le port P2, les broches P2.4 (sortie **TXD**) et P2.5 (entrée **RXD**) sont sélectionnées par le registre de configuration P2SEL



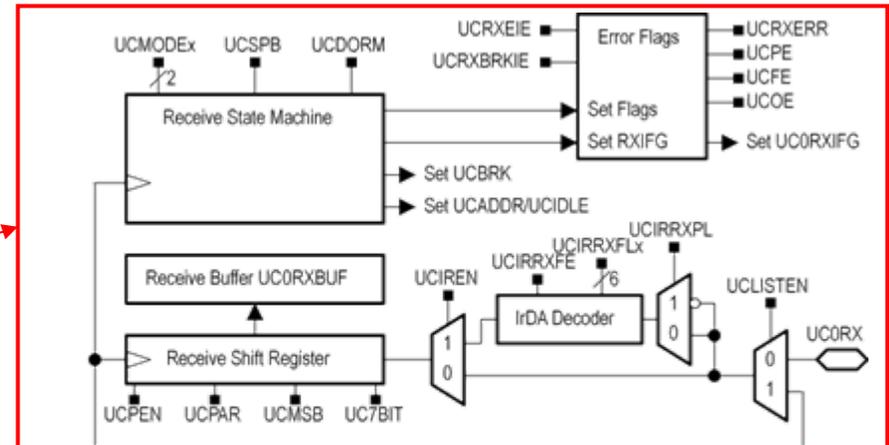
USCI : UART Mode

Le mode UART comprend les caractéristiques suivantes :

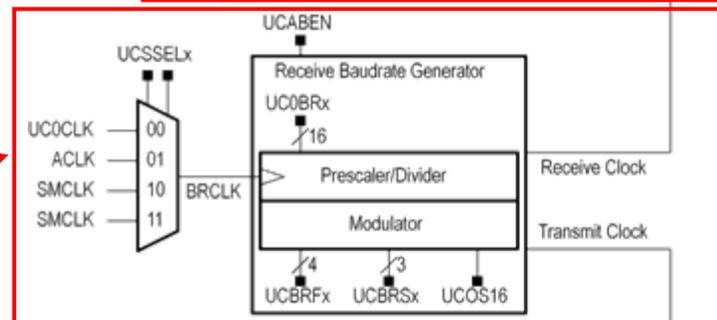
- ⇒ Caractères de 7-bit ou 8-bit avec parité pair, impair ou sans parité
- ⇒ Registres à décalage de transmission et de réception indépendants
- ⇒ Buffers de transmission et de réception indépendants
- ⇒ LSB ou MSB transmis ou reçus en premier
- ⇒ Divers protocoles de communication pour des systèmes multiprocesseurs
- ⇒ Détection de flanc de démarrage de réception avec auto activation depuis un des modes ⁽¹⁾LPMx
- ⇒ Baudrate programmable avec modulation pour la division fractionnaire de l'horloge de base
- ⇒ Flags d'état pour la détection et la suppression des erreurs
- ⇒ Flags d'état pour la détection d'adresses
- ⇒ Sources d'interruptions indépendantes pour la transmission et la réception

USCI : UART Mode

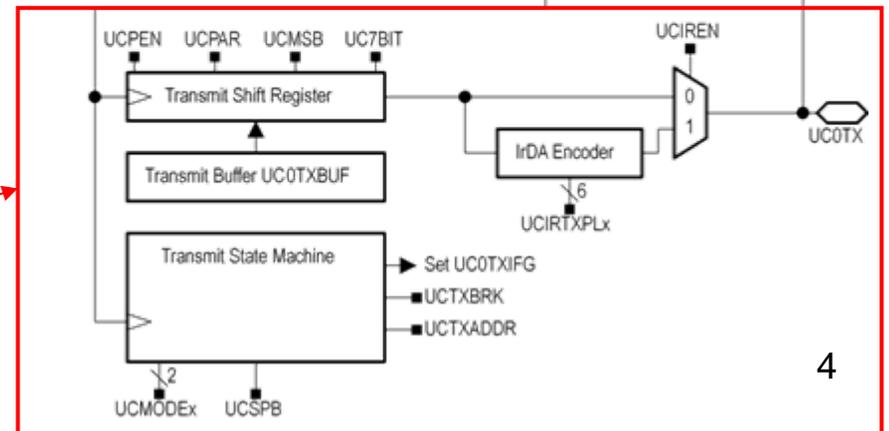
Partie réception



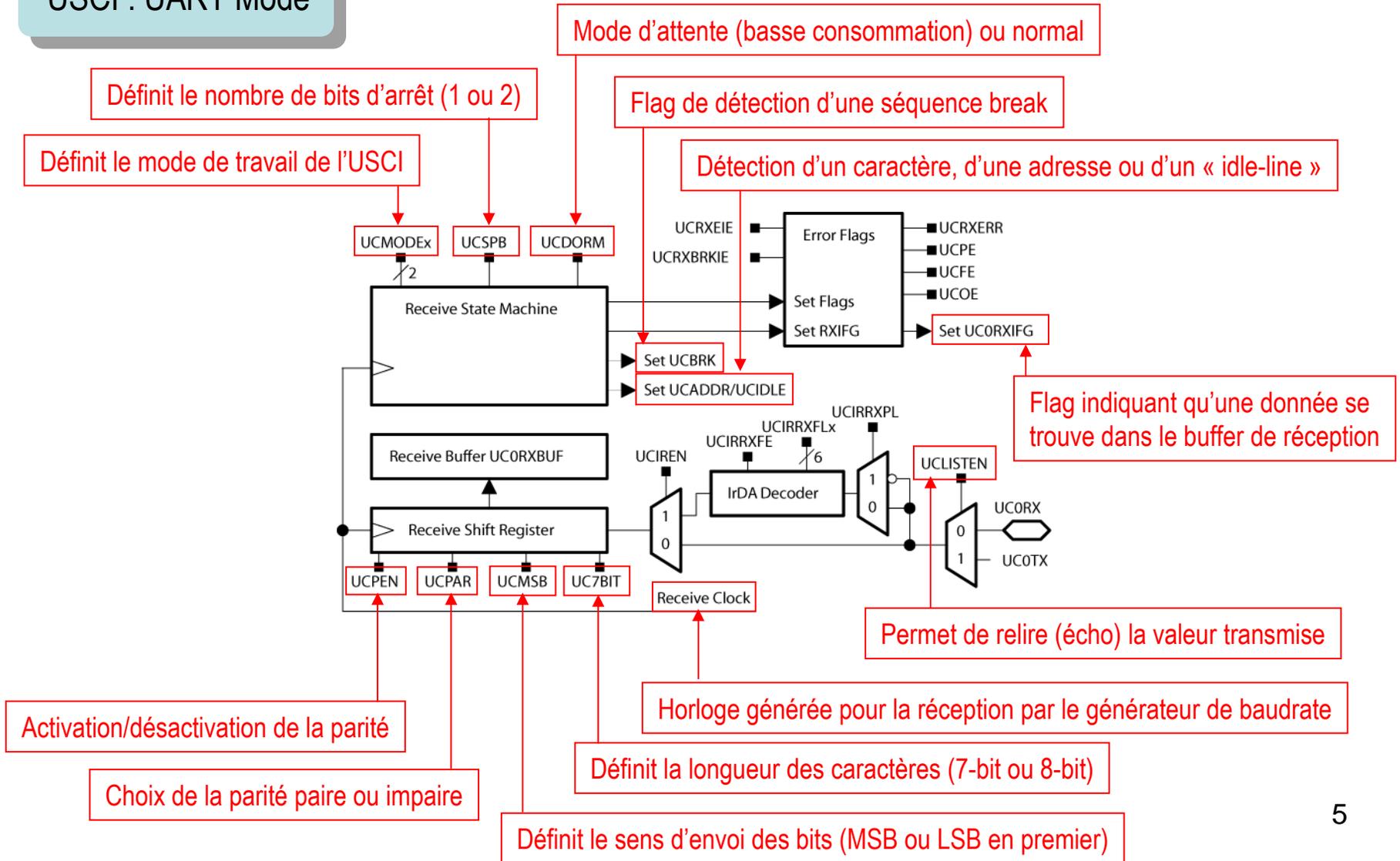
Partie génération du baudrate



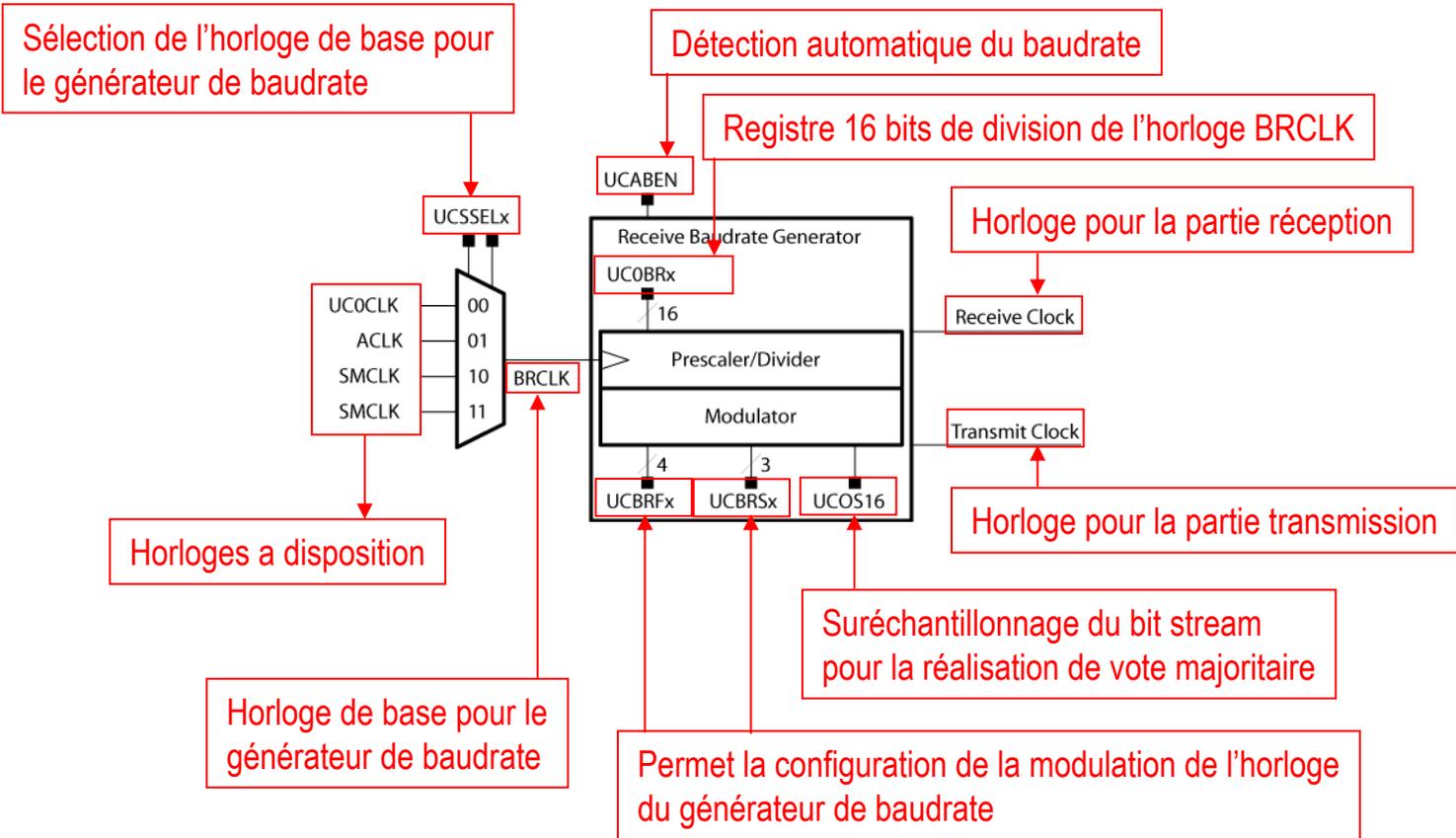
Partie transmission



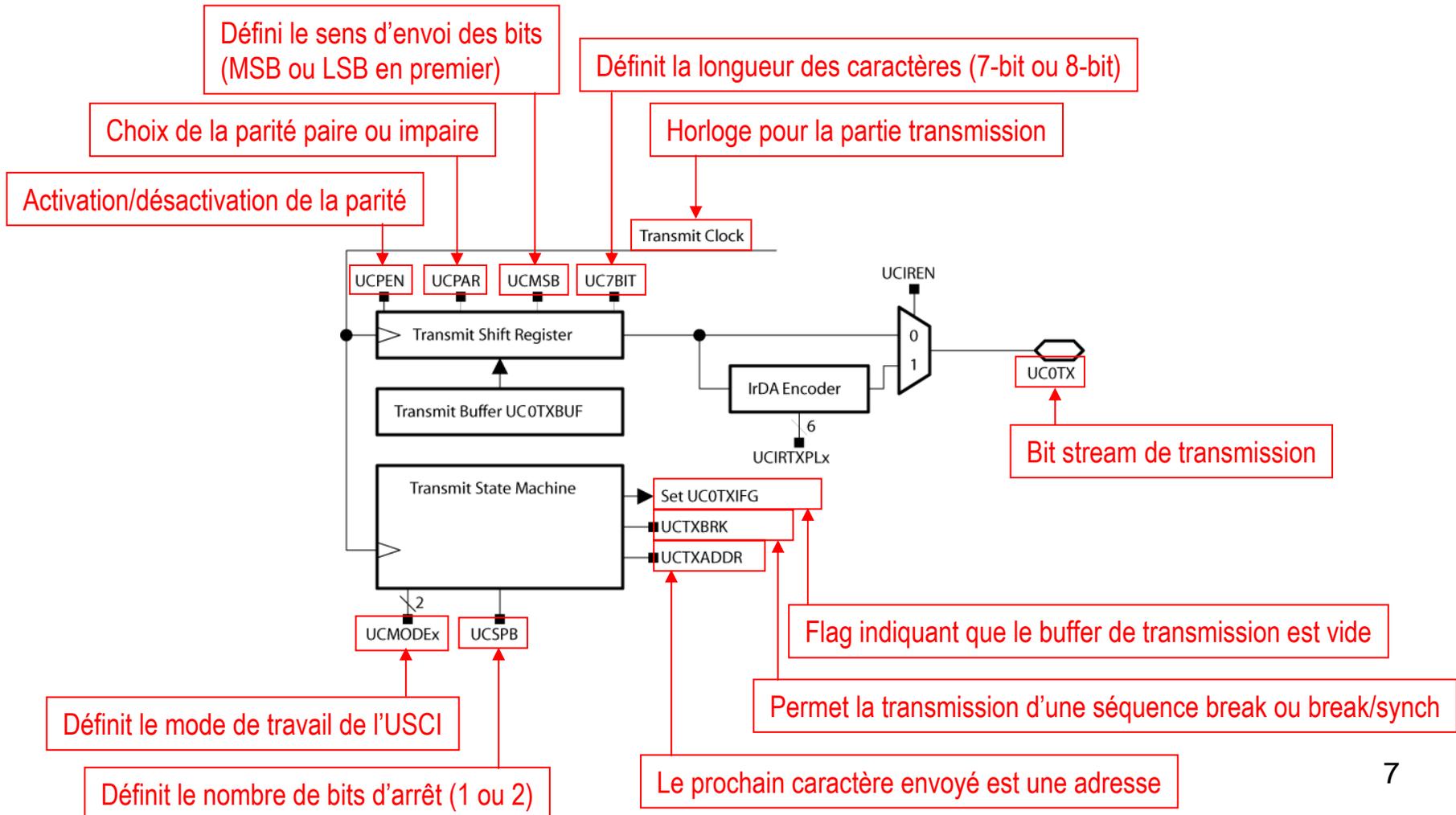
USCI : UART Mode



USCI : UART Mode



USCI : UART Mode



USCI : UART Mode

En mode UART, le périphérique USCI transmet et reçoit des caractères d'un autre périphérique de manière asynchrone. La cadence des bits à l'intérieur d'un même caractère est basée sur la sélection d'un baudrate commun mais dont la base de temps est séparée.

USCI : UART Mode (initialisation et Reset)

Le périphérique USCI est initialisé lorsque le PUC (Power-Up Clear) est actif ou en activant le bit UCSWRST (UCA0CTL1[0]).

Après un PUC actif, le bit UCSWRST est automatiquement forcé à 1, gardant le USCI en mode reset.

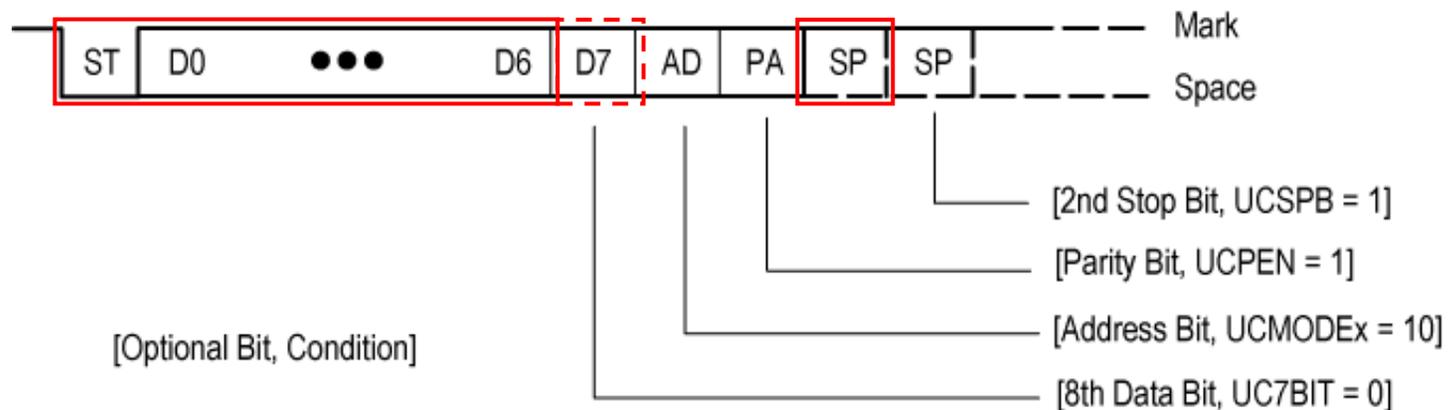
Lorsqu'il est actif le bit UCSWRST force à 0 les bits UCA0RXIE (IE2[1]), UCA0TXIE (IE2[1]), UCA0RXIFG (IFG2[0]), UCRXERR (UCA0STAT[2]), UCBRK (UCAxSTAT[3]), UCPE (UCAxSTAT[3]), UCOE (UCAxSTAT[5]), UCFE (UCAxSTAT[6]), UCSTOE (UCAxABCTL[3]) et UCBTOE (UCAxABCTL[2]) et force à 1 le flag UCA0TXIFG (IFG2[1]).

La mise à 0 du bit UCSWRST libère le périphérique USCI qui devient opérationnel

USCI : UART Mode (format des caractères)

Le format des caractères en mode UART est constitué d'un bit de démarrage (start bit), de 7 bits ou 8 bits de données, d'un bit d'adresse (address-bit mode), d'un bit de parité (parité paire, impaire ou sans parité) et de 1 ou 2 bits d'arrêt (stop bits).

Le bit de contrôle UCMSB (UCAxCTL0[5]) définit la direction du transfert et sélectionne le LSB ou le MSB comme le premier bit à transmettre. En général dans une communication par l'UART c'est le LSB qui est transmis en premier



USCI : UART Mode : Format multiprocesseurs

Lorsque deux systèmes communiquent de manière asynchrone, le format multiprocesseur n'est pas requis pour le protocole de communication.

Par contre lorsque trois systèmes ou plus communiquent, l'USCI supporte un mode dont le format est nommé ligne d'attente et bits d'adresse pour multiprocesseurs (*idle-line and address-bit multiprocessor communication format*)

Lorsque UCMODEx = 01, le format multiprocesseurs est sélectionné. Les blocs de données sont séparés par un temps d'attente sur les lignes de transmission et de réception.

Lorsque la ligne de réception est à 1 (marks) pour plus de 10 fois la durée de transmission d'un bit, le générateur de baudrate est désactivé jusqu'à la détection d'un flanc descendant du bit de démarrage.

Lorsqu'un « idle-line » est détecté, le bit UCIDLE est activé.

Le premier caractère reçu après un période « idle-line » est une adresse pour le prochain bloc de données. Le bit AD est mis à 1 lorsqu'une adresse est envoyée.

USCI : UART Mode : Format multiprocesseurs

Réception

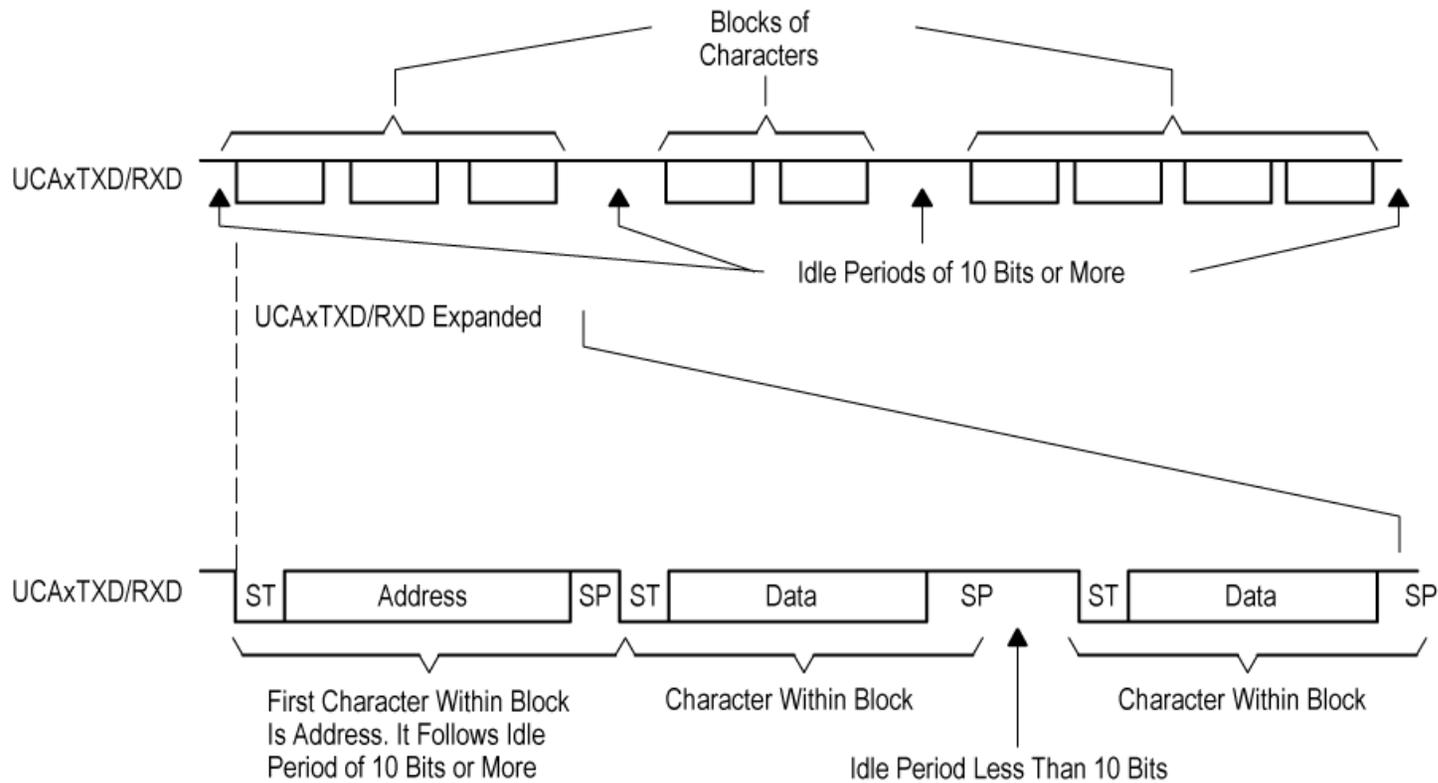
Le bit UCDORM bit est utilisé pour contrôler la réception de donnée dans le format «idle-line Multiprocessor ».

Lorsque UCDORM = 1, tout les caractères qui ne sont pas des adresses ne sont pas transférés dans le buffer de réception UCAXRXBUF et aucune interruption n'est générée.

Lorsqu'une adresse est reçue, le caractère est transféré dans UCAXRXBUF et le flag UCAXRXIFG est mis à 1.

Si une adresse est reçue, le programme utilisateur peut validé ou non cette adresse. En cas de validation, le bit UCDORM doit être forcé à 0 pour pouvoir recevoir le bloc de données suivante.

USCI : UART Mode : Format multiprocesseurs



USCI : UART Mode : Format multiprocesseurs

Transmission

Pour envoyer une adresse plutôt qu'une donnée, la procédure à suivre est la suivante :

Forcer à 1 le bit UCTXADDR, puis écrire dans le buffer de transmission UCxTXBUF un caractère (il faut que le buffer soit vide UCxTCIFG=1) correspondant à une adresse. Cette écriture va générer une période « idle-line » dont la durée est équivalente à 11 bits puis envoyer le caractère correspondant à une adresse.

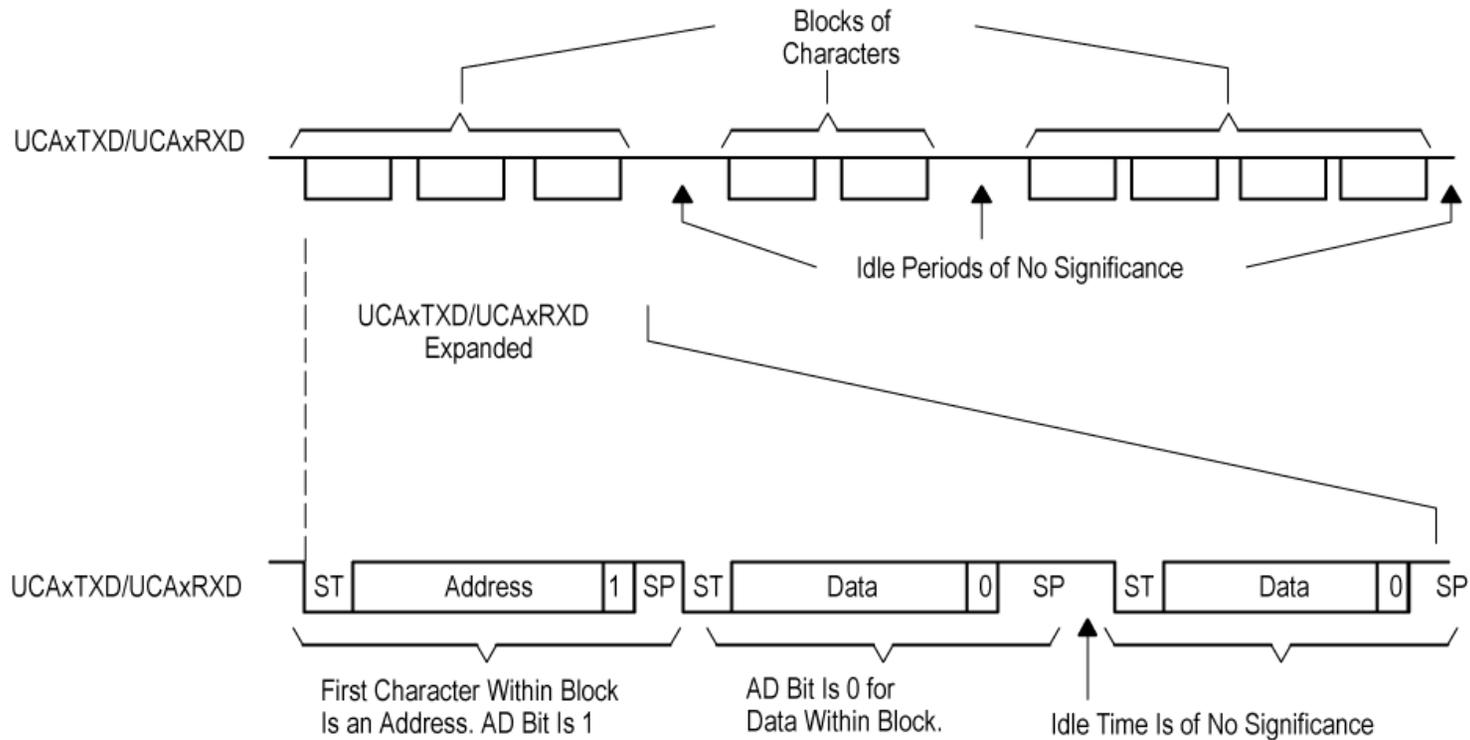
Écrire un caractère (donnée) dans le buffer de transmission UCxTXBUF en s'assurant que le buffer soit vide (UCxTXIFG = 1).

Les données écrites sont transférées dans le registre à décalage de transmission dès que ce dernier a fini la transmission précédente.

Les données doivent se suivre pour ne former qu'un bloc, c'est-à-dire que le temps entre deux données transmises doit être inférieur à la durée équivalente de 11 bits.

USCI : UART Mode : Format multiprocesseurs

Transmission d'une adresse suivie d'un bloc de données

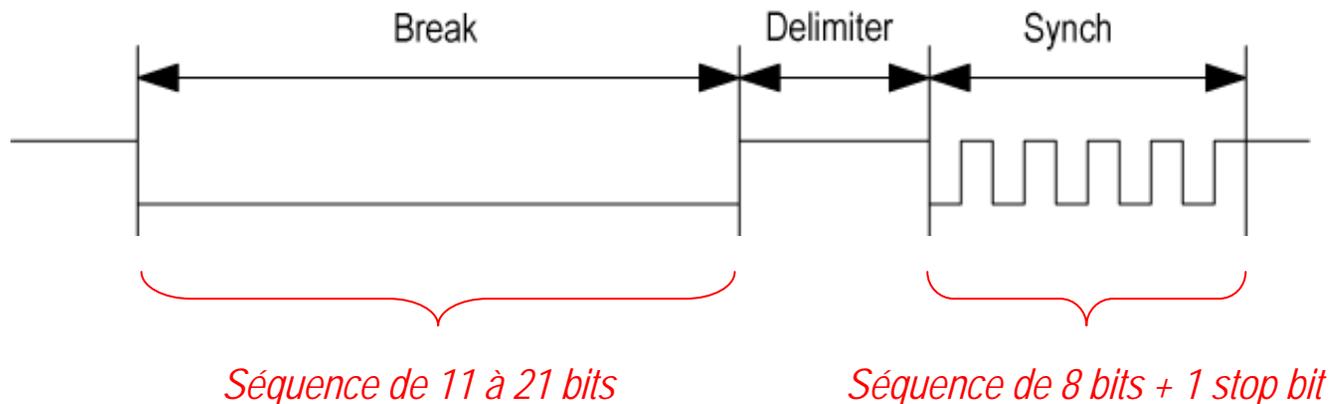


USCI : UART Mode (détection automatique du baudrate (Break/Synch Sequence))

Lorsque UCMODEx=11 (UCAxCTL0[2:1]), le USCI est configuré en mode UART avec détection automatique du baudrate.

Pour une détection automatique du baudrate, l'envoi de données est précédé par une séquence de synchronisation qui envoie une suite d'au moins 11 bit à 0 (sans espace) « break » suivi d'un clock de synchronisation « synch ».

Si la longueur du signal « break » reçu par le récepteur est supérieur à une durée correspondant à 21 bits, un flag d'erreur UCBTOE (UCAxABCTL[2]) est émis.



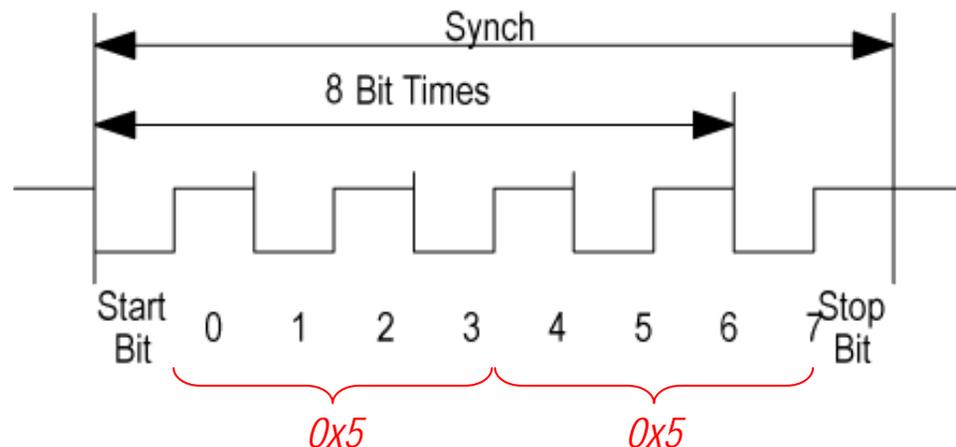
USCI : UART Mode (détection automatique du baudrate (Break/Synch Sequence))

Le champ de synchronisation consiste en une suite de 1 et de 0 donné par la valeur hexadécimale 0x55. La synchronisation est basée sur la mesure du temps (chronométrie) entre le premier et le dernier flanc descendant du pattern.

Le générateur de baudrate de transmission est utilisé pour la mesure si la fonction de détection automatique de baudrate est activée en forçant à 1 le bit UCABDEN (UCA0ABCTL[0]). Dans le cas contraire, le pattern est reçu mais pas mesuré.

Le résultat de la mesure est transféré dans les registres de contrôle de baudrate de 8 bits chacun UCA0BR0, UCA0BR1 et dans le registre de modulation UCA0MCTL

Si la longueur du champ de synchronisation dépasse le temps mesurable, le flag UCBTOE (UCAxABCTL[2]) est forcé à 1



USCI : UART Mode (détection automatique du baudrate)

Le bit UCDORM (UCAxCTL1[3]) est utilisé pour le contrôle des données dans ce mode. Lorsque UCDORM est à 1, tous les caractères sont reçus mais non transférés dans le buffer UCA0RXBUF et aucune interruption n'est générée.

Lorsqu'une séquence break/synch est détectée, le flag UCBRK est mis à 1. Le caractère suivant cette séquence est transféré dans UCAxRXBUF et le flag d'interruption UCAxRXIFG est mis à 1. Tous les flags d'erreur sont également mis à jour.

Si le bit UCBRKIE est mis à 1, la réception d'une séquence break/synch active le flag UCAxRXIFG. Le bit UCBRK est remis à 0 par software ou par la lecture du buffer UCAxRXBUF

Lorsque UCDORM=0, tous les caractères reçus provoque une activation du flag d'interruption UCAxRXIFG.

Le mode de détection automatique de baudrate peut être utilisé en mode de communication full-duplex moyennant un certain nombre de restriction.

L'USCI ne peut pas transmettre des données lorsqu'il reçoit une séquence break/synch ou si une détection d'erreur est reçue. Les données transmises doivent être considérées comme corrompues. Ce type d'événement peut être détecté en contrôlant les données reçues et le bit UCFE.

USCI : UART Mode (détection automatique du baudrate)

Transmission d'une séquence Break/Synch

La procédure de transmission d'une séquence Break/Synch est la suivante :

- Chargement du registre UCTXBRK avec UCMODEx = 11.
- Ecriture de 0x55 dans le buffer UCATXBUF, UCATXBUF doit être prêt à recevoir une nouvelle donnée (indiqué par UCATXIFG=1).
Génération d'une séquence break de 13 bits suivi par un délimiteur et le caractère de synchronisation
La longueur du délimiteur de la séquence break est contrôlé par les bits UCDELIMx.
UCTXBRK est automatiquement remis à 0 lorsque le caractère de synchronisation est transféré depuis le buffer UCATXBUF dans le registre à décalage.
- Ecriture du caractère désiré dans le buffer UCATXBUF, UCATXBUF doit être prêt à recevoir une nouvelle donnée (indiqué par UCATXIFG=1).
La donnée écrite dans le buffer UCATXBUF est transmise au registre à décalage dès que ce dernier est prêt pour la transmission d'une nouvelle valeur

USCI : UART Mode (détection automatique d'erreur)

Une suppression de parasites (glitch) empêche un démarrage accidentel de l'USCI. Toutes les impulsions de durée inférieure à approximativement 150ns seront ignorées.

Lorsqu'une petite période sur UCAXRXD excède 150ns un vote majoritaire est entrepris pour le bit de démarrage (start bit). Si ce vote majoritaire ne permet pas de déterminer un bit de démarrage valide, l'USCI stoppe la réception du caractère en cours et attend la prochaine petite période sur UCAXRXD. Le vote majoritaire est aussi utilisé pour chaque bit d'un caractère pour prévenir des erreurs de lecture.

L'USCI détecte automatiquement les erreurs de trames, de parités, de dépassement, ... lorsqu'il reçoit un caractère. Les flags UCFE, UCPE, UCOE et UCBRK sont activés lorsque les conditions sont réunies. Lorsque les flags UCFE, UCPE et UCOE sont activés, le flag UCRXERR l'est aussi.

USCI : UART Mode (détection automatique d'erreur)

Source d'erreur	Flag	Description
Erreur de trame	UCFE	Une erreur de trame intervient lorsque la durée d'un stop bit est trop petite. Pour deux stop bits la détection est également réalisée Le flag UCFE est forcé à 1 lorsqu'une erreur est détectée
Erreur de parité	UCPE	Le nombre de bit à 1 de l'ensemble de la trame doit être pair ou impair selon la parité choisie. Si ce n'est pas le cas une erreur de parité est détectée Le flag UCPE est forcé à 1 lorsqu'une erreur est détectée
Surécriture	UCOE	Si un caractère est chargé dans le buffer de réception alors que le précédent n'a pas encore été lu, il y a une détection d'erreur de surécriture Le flag UCOE est forcé à 1 lorsqu'une erreur est détectée
Détection d'une séquence break	UCBRK	Lorsque le mode de détection automatique de baudrate n'est pas activé, si tous les bits (caractères, parité et stop bits) sont à 0, une condition de break est détectée. Le flag UCBRK est forcé à 1 lorsqu'une condition de séquence de break est détectée Une condition de break peut aussi forcé à 1 le flag d'interruption UCAXRXIFG si le bit UCBRKIE est à 1

USCI : UART Mode (détection automatique d'erreur)

Lorsque $UCRXEIE=0$ et une erreur de trame ou de parité est détectée, aucun caractère n'est reçu dans le buffer $UCAxRXBUF$. Lorsque $UCRXEIE=1$, les caractères sont reçus dans $UCAxRXBUF$ et aucun bit d'erreur n'est activé.

Lorsque un des flags $UCFE$, $UCOE$, $UCBRK$ ou $UCRXERR$ sont activés, ils le restent jusqu'à un reset software ou une lecture du buffer $UCAxRXBUF$.

Pour le flag $UCOE$, seul la lecture du buffer $UCAxRXBUF$ permet de le désactiver.

Pour détecter une surcharge (un nouveau caractère apparaît avant la lecture du précédent) de manière fiable, il faut, après qu'un caractère soit reçu et le flag $UCAxRXIFG$ activé :

- Lire le registre de status $UCAxSTAT$ pour vérifier l'état des flags d'erreur y compris $UCOE$
- Lire le buffer de réception $UCAxRXBUF$ (ceci va désactiver tous les flags d'erreur excepté $UCOE$ si $UCAxRXBUF$ a été surécrit entre la lecture de $UCAxSTAT$ et la lecture du buffer $UCAxRXBUF$). Le flag $UCOE$ doit donc être vérifié après la lecture de $UCAxRXBUF$ pour détecter cette possibilité. A noter que dans ce cas le flag $UCRXERR$ n'est pas activé.

USCI : UART Mode (activation de la réception)

L'USCI est activé en forçant à 0 le bit UCSWRST. La réception est prête et se trouve en mode d'attente. Le générateur de baudrate de réception est également en état « prêt » mais il ne produit aucune horloge.

Le flanc descendant du bit de démarrage (start bit) active le générateur de baudrate et la machine d'état de l'UART contrôle la validité du bit de démarrage.

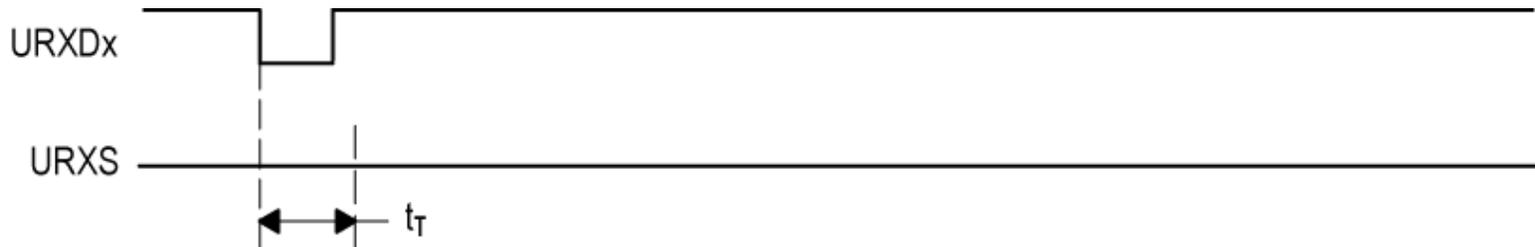
Si le bit de démarrage n'est pas valide, la machine d'état de l'UART retourne dans l'état d'attente et le générateur de baudrate n'envoie plus d'horloge.

Si le bit de démarrage est valide, le caractère pourra être reçu.

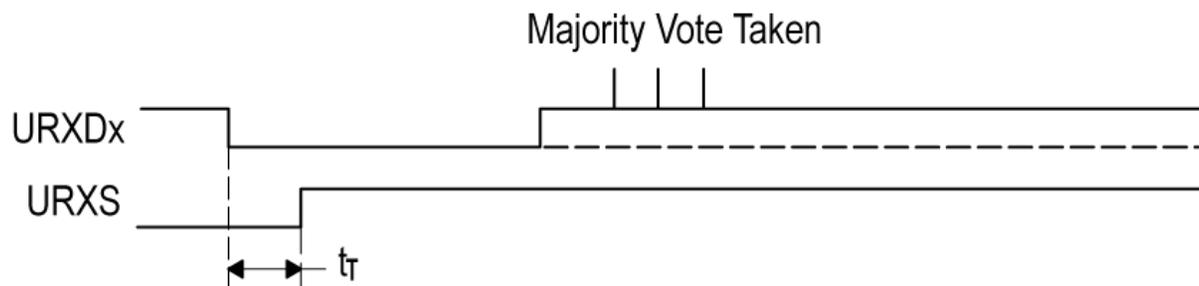
Lorsque le mode « idle-line multiprocessor » est sélectionné avec UCMODEx = 01 la machine d'état de l'UART vérifie si l'état « idle-line » est présent après la réception d'un caractère. Si un bit de démarrage est détecté, le caractère suivant est reçu. Sinon le flag UCIDLE est activé après que 10 bits à 1 aient été reçus. Dans ce cas la machine d'état de l'UART se met en état d'attente et le générateur de baudrate ne produit plus d'horloge.

USCI : UART Mode (suppression des parasites (glitch) lors de la réception d'une donnée)

La suppression des parasites prévient tout démarrage accidentel de l'USCI. Tous les parasites sur UCAXRXD plus court que le $t_T=150\text{ns}$ seront ignorés



Lorsqu'un parasite est plus long que t_T , ou qu'un bit de démarrage apparaît sur UCAXRXD, l'USCI initie une opération de réception et un vote majoritaire est activé. Si le vote majoritaire ne permet pas de détecter le bit de démarrage, la réception est stoppée



USCI : UART Mode (activation de la transmission)

L'USCI est activé en forçant à 0 le bit UCSWRST et le transmetteur se met dans un mode d'attente.

Le générateur de baudrate de transmission est également prêt mais ne produit pas d'horloge

Une transmission est initiée en écrivant dans le buffer de données UCAXTXBUF. Le générateur de baudrate est activé et la donnée passe du buffer UCAXTXBUF au registre de décalage au prochain BITCLK si le registre de décalage de transmission est vide. Le flag UCAXTXIFG est activé lorsqu'une nouvelle donnée peut être écrite dans le buffer UCAXTXBUF.

La transmission continue aussi longtemps que de nouvelles données sont disponibles dans le buffer UCAXTXBUF à la fin de la transmission du byte précédent.

Sans nouvelle donnée dans le buffer UCAXTXBUF, le transmetteur retourne en état d'attente et le générateur de baud rate de transmission est stoppé.

USCI : UART Mode (génération du baudrate)

Le générateur de baudrate de l'USCI est capable de produire des baudrates standards à partir de sources d'horloge de fréquence non-standard. Deux mode opératoires sont possibles grâce au bit UCOS16.

USCI : UART Mode (génération basse fréquence du baudrate)

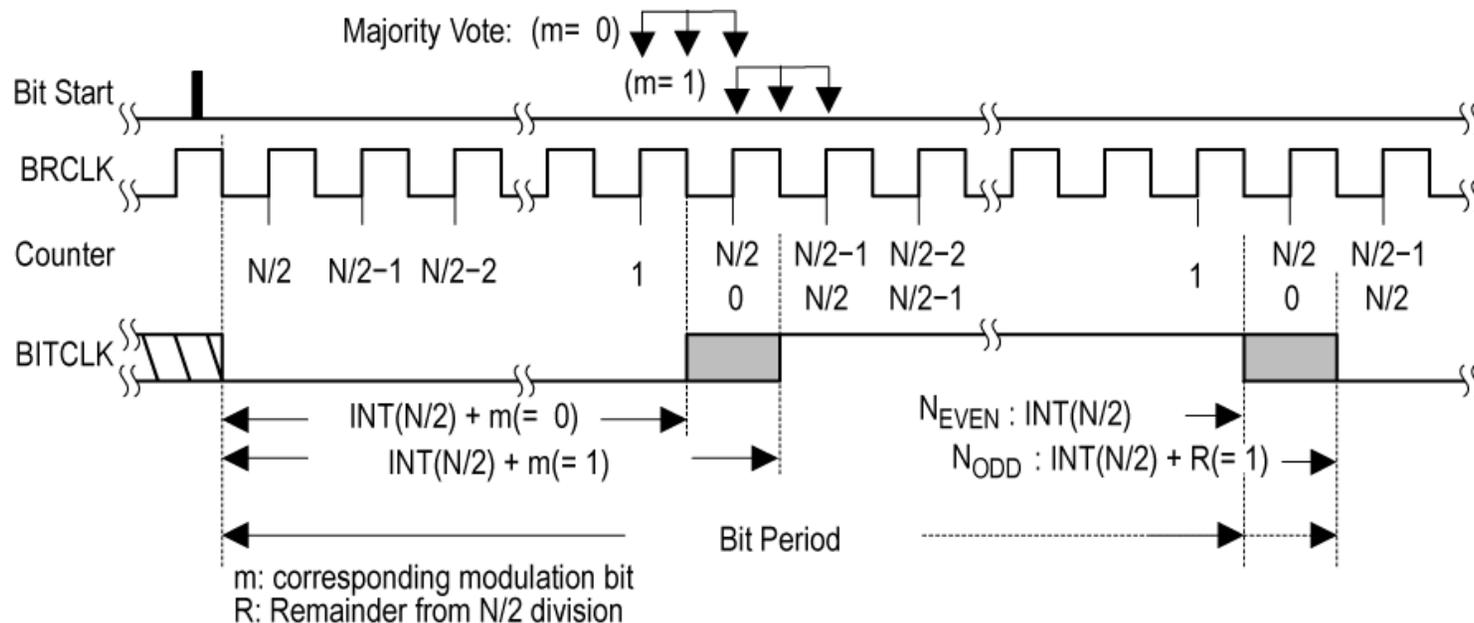
Le mode basse fréquence est sélectionné lorsque UCOS16=0. Ce mode permet la génération de baudrates depuis une source d'horloge basse fréquence (par exemple 9600 bauds à partir d'une horloge de 32768Hz).

En utilisant une source basse fréquence, il est possible de limiter la puissance consommée. L'utilisation de ce mode avec une source haute fréquence et un division de fréquence (prescaler) plus élevée cause un vote majoritaire pris sur une fenêtre de plus en plus petite et par conséquent diminue l'efficacité de ce vote majoritaire

En mode basse fréquence le générateur de baudrate utilise un diviseur de fréquence et un modulateur afin de générer une division fractionnaire. Dans ce mode le baudrate maximum est de 1/3 de la fréquence de la source du générateur BRCLK.

USCI : UART Mode (génération basse fréquence du baudrate)

Pour chaque bit reçu, un vote majoritaire est réalisé afin de déterminer la valeur du bit.
 Les échantillons sont prélevés à $N/2 - 1/2$, $N/2$, and $N/2 + 1/2$ périodes de l'horloge BRCLK.
 N représente le nombre de BRCLKs par BITCLK.



USCI : UART Mode (génération basse fréquence du baudrate)

La modulation est basée sur le contenu du registre UCBRx. Un 1 indique que $m=1$ et que la période correspondante de BITCLK a une période BRCLK de plus que pour $m=0$.

La modulation de la période recommence à chaque bit de démarrage.

UCBRSx	Bit 0 (Start bit)	Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7
0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0
3	0	1	0	1	0	1	0	0
4	0	1	0	1	0	1	0	1
5	0	1	1	1	0	1	0	1
6	0	1	1	1	0	1	1	1
7	0	1	1	1	1	1	1	1

USCI : UART Mode (suréchantillonnage du bit stream)

Le mode de suréchantillonnage est sélectionné par $UCOS16 = 1$. Dans ce mode le bit stream est échantillonné à une fréquence plus élevée que la fréquence du bit stream elle même.

Ce suréchantillonnage permet de réaliser un vote majoritaire qui est toujours de $1/16^{\text{ème}}$ de la période de l'horloge du bit stream (bit clock : BITCLK)

Ce mode utilise un premier étage du diviseur de fréquence (prescaler) et un premier étage du modulateur permettant de générer l'horloge BITCLK à partir d'une horloge (BITCLK16) 16 fois plus rapide.

La combinaison du diviseur et du modulateur permet une division fractionnaire des horloges BITCLK16 et BITCLK pour la génération d'un baudrate standard.

Dans ce mode, le baudrate maximum est le $1/16^{\text{ème}}$ de la fréquence de la source d'horloge de l'UART (BRCLK).

Lorsque UCBRx est mis à 0 ou à 1 le premier étage du diviseur et du modulateur ne sont pas utilisés et dans ce cas BRCLK est identique à BITCLK16

USCI : UART Mode (suréchantillonnage du bit stream)

La modulation basée sur le BITCLK16 obtenue à partir de UCBRFx.

Dans la table de modulation, un 1 (m=1) indique que la période de BITCLK16 est une période plus longue que BRCLK. Un 0 (m=0) donne des périodes identiques

La modulation recommence pour chaque nouveau bit

La modulation de BITCLK, comme pour la basse fréquence, est obtenue à partir de UCBRsX

UCBRFx	Nombre de coup d'horloge BITCLK16 après un flanc descendant de BTICLK															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0x00	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x01	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0x03	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
0x04	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1
0x05	0	1	1	1	0	0	0	0	0	0	0	0	0	0	1	1
0x06	0	1	1	1	0	0	0	0	0	0	0	0	0	1	1	1
0x07	0	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1
0x08	0	1	1	1	1	0	0	0	0	0	0	0	1	1	1	1
0x09	0	1	1	1	1	1	0	0	0	0	0	0	1	1	1	1
0x0A	0	1	1	1	1	1	0	0	0	0	0	1	1	1	1	1
0x0B	0	1	1	1	1	1	1	0	0	0	0	1	1	1	1	1
0x0C	0	1	1	1	1	1	1	0	0	0	1	1	1	1	1	1
0x0D	0	1	1	1	1	1	1	1	0	0	1	1	1	1	1	1
0x0E	0	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0x0F	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

USCI : UART Mode : sélection du baudrate

Pour une horloge source donnée BRCLK, le baudrate est déterminé par division de la fréquence de BRCLK par N

$$N = \frac{f_{BRCLK}}{\text{Baudrate}}$$

N n'est pas un nombre entier. Il faut donc un diviseur (pour la partie entière) et un modulateur (pour la partie fractionnaire).

Si N est égal ou plus grand que 16, le mode de suréchantillonnage du baudrate peut être sélectionné à l'aide du bit UCOS16

USCI : UART Mode : sélection du baudrate en mode basse fréquence

Dans le mode basse fréquence, la partie entière de la division réalisée à l'aide du diviseur (prescaler) :

$$UCBR_x = INT(N)$$

Et la partie fractionnaire est réalisée à l'aide du modulateur à partir de la relation suivante :

$$UCBR_{Sx} = round(8 \cdot (N - INT(N)))$$

L'incrémenter ou la décrémentation de $UCBR_{Sx}$ par 1 peut donner une erreur plus faible sur le baudrate. Il est donc nécessaire de faire un calcul détaillé d'erreur pour chaque cas

USCI : UART Mode sélection du baudrate en mode suréchantillonné

Dans le mode suréchantillonné, le diviseur (prescaler) est donné par la relation suivante

$$UCBR_x = INT(N/16)$$

et pour le premier étage du modulateur :

$$UCBRFx = round(16 \cdot (N/16 - INT(N/16)))$$

Lorsqu'une plus grande précision est demandée, le registre du modulateur UCBSx peut prendre une valeur comprise dans la plage de 0 à 7.

L'incréméntation ou la décrémentation de UCBSx par 1 peut donner une erreur plus faible sur le baudrate. Il est donc nécessaire de faire un calcul détaillé d'erreur pour chaque cas

USCI : UART Mode : temps de transmission

Le temps de transmission de chaque caractère est la somme des temps de transmission des bits le constituant. En utilisant les caractéristiques de modulation du générateur de Baudrate, il est possible de calculer précisément le temps de transmission

Temps de transmission en mode basse fréquence

En mode basse fréquence, le calcul du temps de transmission du bit i $T_{bit,TX}[i]$, basé sur le contenu de $UCBRx$ et $UCBRSx$ vaut :

$$T_{bit,TX}[i] = \frac{1}{f_{BRCLK}} (UCBRx + m_{UCBRSx}[i])$$

avec $m_{UCBRSx}[i]$: Modulation du bit i (0 ou 1 selon la table de modulation)

USCI : UART Mode : temps de transmission

Temps de transmission en mode suréchantillonné

En mode suréchantillonné, le calcul du temps de transmission d'un bit est basé sur la relation suivante :

$$T_{bit,TX} [i] = \frac{1}{f_{BRCLK}} \left((16 + m_{UCBRSx} [i]) \cdot UCBRx + \sum_{i=0}^{15} m_{UCBRFx} [i] \right)$$

avec

$\sum_{i=0}^{15} m_{UCBRFx} [i]$: somme des éléments d'une ligne (séquence des valeurs de m)

$m_{UCBRSx} [i]$: Modulation du bit i (selon la table de modulation USBRFx)

USCI : UART Mode : temps de transmission

Le temps de transmission de k bits vaut donc :

$$t_{bit,TX}[k] = \sum_{j=0}^k T_{bit,TX}[j]$$

Le temps de transmission idéal pour un baudrate standard et défini comme :

$$t_{bit\ ideal,TX}[k] = \frac{1}{Baudrate} (i + 1)$$

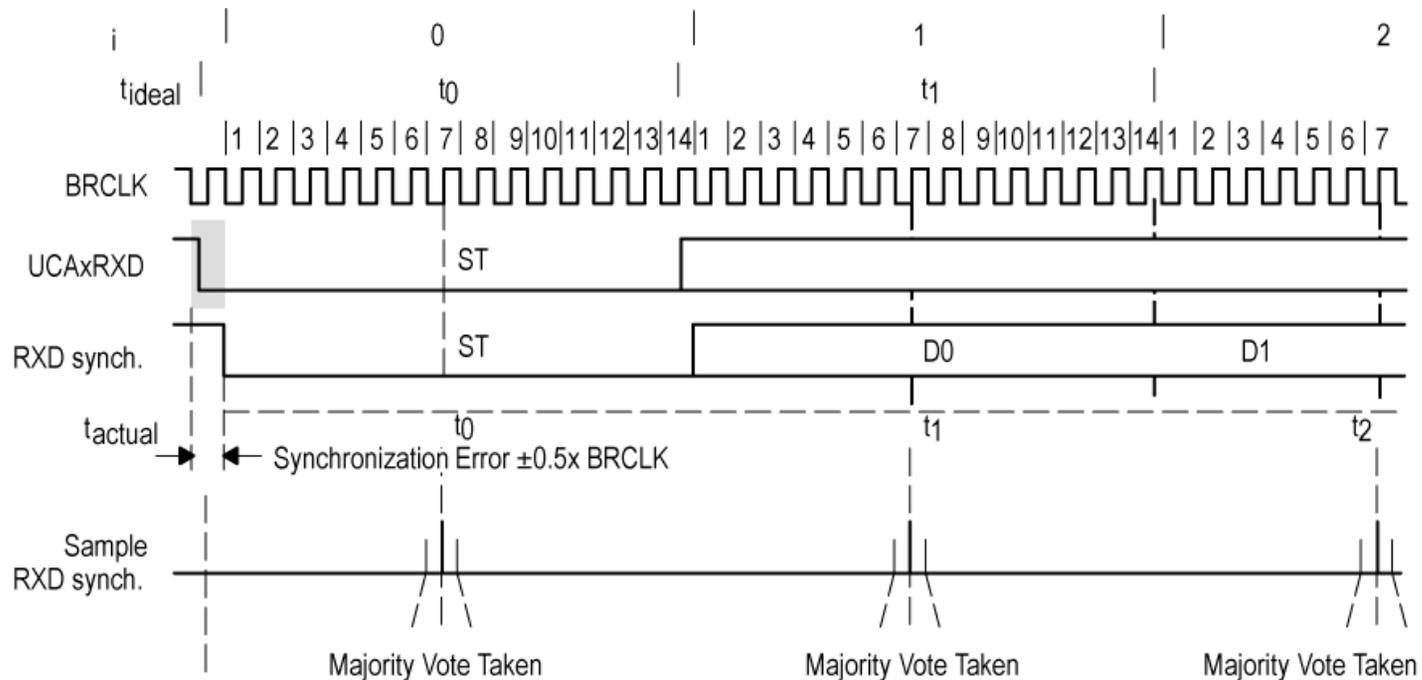
L'erreur normalisée (rapportée sur la transmission idéale d'un bit) prend la forme suivante

$$\varepsilon_{TX}[k] = 100 \cdot (t_{bit,TX}[k] - t_{bit\ ideal,TX}[k]) \cdot Baudrate \quad [\%]$$

USCI : UART Mode : temps de réception d'un bit

Le temps de réception d'une séquence de bits est la source de deux erreurs

- ⇒ Erreur bit à bit (identique à celle de la transmission)
- ⇒ Erreur due au laps de temps entre le flanc descendant du bit de démarrage et la synchronisation du signal par l'USCI



USCI : UART Mode : temps de réception d'un bit

Temps de réception en mode basse fréquence

Pour ce mode on peut écrire

$$t_{bit,RX}[k] = t_{sync} + \sum_{j=0}^{k-1} T_{bit,RX}[j] + \frac{1}{f_{BRCLK}} \left(INT \left(\frac{1}{2} UCBRx \right) + m_{UCBRX}[k] \right)$$

avec :

$$T_{bit,TX}[i] = \frac{1}{f_{BRCLK}} (UCBRx + m_{UCBRx}[i])$$

$m_{UCBRx}[i]$: Modulation du bit i (selon la table de modulation UCBRSx)

USCI : UART Mode : temps de réception d'un bit

Temps de réception en mode suréchantillonné

$$t_{bit,RX}[k] = t_{sync} + \sum_{j=0}^{k-1} T_{bit,RX}[j] + \frac{1}{f_{BRCLK}} \left((8 + m_{UCBRsX}[k]) \cdot UCBRx + \sum_{j=0}^{7+m_{UCBRx}[k]} m_{UCBRx}[j] \right)$$

avec

$$T_{bit,RX}[j] = \frac{1}{f_{BRCLK}} \left((16 + m_{UCBRsX}[k]) \cdot UCBRx + \sum_{i=0}^{15} m_{UCBRx}[i] \right)$$

$\sum_{j=0}^{7+m_{UCBRx}[k]} m_{UCBRx}[j]$: somme des colonnes 0 à 7 (selon la table de modulation UCBRFx)

$m_{UCBRsX}[i]$: Modulation du bit i (selon la table de modulation UCBRSx)

USCI : UART Mode : temps de réception

Le temps idéal pour un baudrate donné se détermine milieu d'une période de transmission d'un bit (endroit de mémorisation)

$$t_{bit\ ideal,RX}[k] = \frac{1}{Baudrate} (k + 0.5)$$

L'erreur normalisée (rapportée sur la réception idéale d'un bit) prend la forme suivante

$$\varepsilon_{RX}[k] = 100 \cdot (t_{bit,RX}[k] - t_{bit\ ideal,RX}[k]) \cdot Baudrate \quad [\%]$$

USCI : UART Mode : erreur typique de baudrate

Pour une horloge de source ACLK de 32768Hz ou SMCLK de $32 \cdot \text{ACLK}$, les erreurs de baudrate peuvent être calculées à l'aide des relations précédentes.

Erreur de transmission

L'erreur de transmission est la différence de temps entre le baudrate réel et le baudrate idéal (standard).

Le pire cas correspond à des caractères de 8 bits, un bit de parité et un stop bit

Erreur de réception

L'erreur de réception est la différence de temps entre le baudrate réel et le baudrate idéal (standard) pour une acquisition au milieu de la durée de chaque bit

Le pire cas correspond à des caractères de 8 bits, un bit de parité, un stop bit et le temps de synchronisation

USCI : UART Mode : erreur typique de baudrate

En mode basse fréquence UCOS16=0

BRCLK [Hz]	Baudrate [Baud]	UCBRx	UCBRSx	UCBRFx	Erreur max TX [%]		Erreur max RX [%]	
32'768	1200	27	2	0	-2.8	1.4	-5.9	2.0
32'768	2400	13	6	0	-4.8	6.0	-9.7	8.3
32'768	4800	6	7	0	-12.1	5.7	-18.4	19.0
32'768	9600	3	3	0	-21.1	15.2	-44.3	21.3
1'048'576	9600	109	2	0	-0.2	0.7	-1.0	0.8
1'048'576	19200	54	5	0	-1.1	1.0	-1.5	2.5
1'048'576	38400	27	2	0	-2.8	1.4	-5.9	2.0
1'048'576	56000	18	6	0	-3.9	1.1	-4.6	5.7
1'048'576	115200	9	1	0	-1.1	10.7	-11.5	11.3

En mode suréchantillonné UCOS16=1

BRCLK [Hz]	Baudrate [Baud]	UCBRx	UCBRSx	UCBRFx	Erreur max TX [%]		Erreur max RX [%]	
1'048'576	9600	6	0	13	-2.3	0	-2.2	0.8
1'048'576	19200	3	1	6	-4.6	3.2	-5.0	4.7

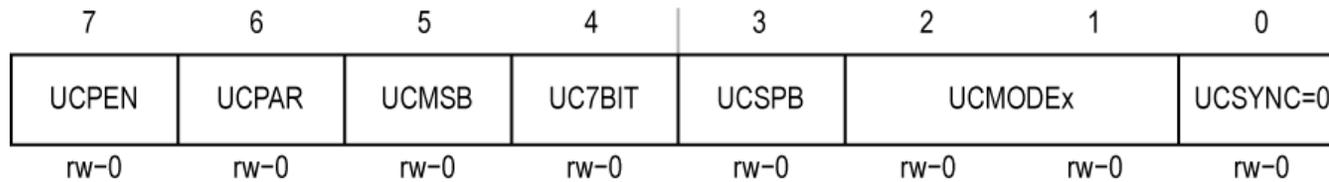
Registre de contrôle de l'UART USCI_A0

Register	Short Form	Register Type	Address	Initial State
USCI_A0 control register 0	UCA0CTL0	Read/write	060h	Reset with PUC
USCI_A0 control register 1	UCA0CTL1	Read/write	061h	001h with PUC
USCI_A0 Baud rate control register 0	UCA0BR0	Read/write	062h	Reset with PUC
USCI_A0 Baud rate control register 1	UCA0BR1	Read/write	063h	Reset with PUC
USCI_A0 modulation control register	UCA0MCTL	Read/write	064h	Reset with PUC
USCI_A0 status register	UCA0STAT	Read/write	065h	Reset with PUC
USCI_A0 Receive buffer register	UCA0RXBUF	Read	066h	Reset with PUC
USCI_A0 Transmit buffer register	UCA0TXBUF	Read/write	067h	Reset with PUC
USCI_A0 Auto Baud control register	UCA0ABCTL	Read/write	05Dh	Reset with PUC
USCI_A0 IrDA Transmit control register	UCA0IRTCTL	Read/write	05Eh	Reset with PUC
USCI_A0 IrDA Receive control register	UCA0IRRCTL	Read/write	05Fh	Reset with PUC
SFR interrupt enable register 2	IE2	Read/write	001h	Reset with PUC
SFR interrupt flag register 2	IFG2	Read/write	003h	00Ah with PUC

Registre de contrôle de l'UART USCI_A1

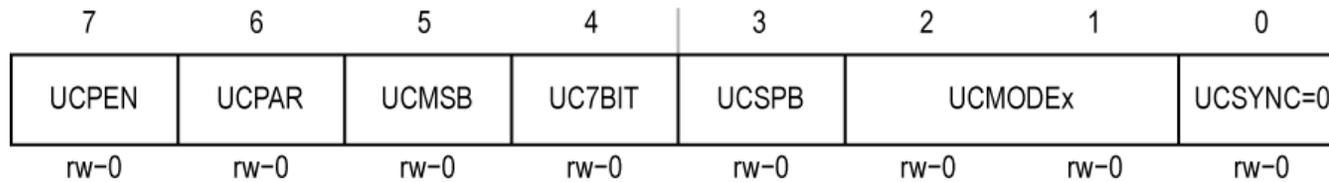
Register	Short Form	Register Type	Address	Initial State
USCI_A1 control register 0	UCA1CTL0	Read/write	0D0h	Reset with PUC
USCI_A1 control register 1	UCA1CTL1	Read/write	0D1h	001h with PUC
USCI_A1 Baud rate control register 0	UCA1BR0	Read/write	0D2h	Reset with PUC
USCI_A1 Baud rate control register 1	UCA1BR1	Read/write	0D3h	Reset with PUC
USCI_A1 modulation control register	UCA1MCTL	Read/write	0D4h	Reset with PUC
USCI_A1 status register	UCA1STAT	Read/write	0D5h	Reset with PUC
USCI_A1 Receive buffer register	UCA1RXBUF	Read	0D6h	Reset with PUC
USCI_A1 Transmit buffer register	UCA1TXBUF	Read/write	0D7h	Reset with PUC
USCI_A1 Auto Baud control register	UCA1ABCTL	Read/write	0CDh	Reset with PUC
USCI_A1 IrDA Transmit control register	UCA1IRTCTL	Read/write	0CEh	Reset with PUC
USCI_A1 IrDA Receive control register	UCA1IRRCTL	Read/write	0CFh	Reset with PUC
USCI_A1/B1 interrupt enable register	UC1IE	Read/write	006h	Reset with PUC
USCI_A1/B1 interrupt flag register	UC1IFG	Read/write	007h	00Ah with PUC

Registre de contrôle UCAXCTL0



- UCPEN** : UCAXCTL0[7] parité
 0 : pas de parité
 1 : parité activée. Le bit de parité est généré (UCAXTXD) et attendu (UCAXRXD).
 En mode multiprocesseur, le bit d'adresse est inclus dans le calcul de la parité
- UCPAR** : UCAXCTL0[6] type de parité (si UCPEN=1)
 0 : parité impaire
 1 : parité paire
- UCMSB** : UCAXCTL0[5] contrôle de direction des registres à décalage de transmission et de réception
 0 : LSB en premier
 1 : MSB en premier
- UC7BIT** : UCAXCTL0[4] taille des caractères
 0 : 7 bits
 1 : 8 bits

Registre de contrôle UCAXCTL0



UCSPB : UCAXCTL0[3] nombre de bits d'arrêt (stop bit)

0 : un bit d'arrêt

1 : deux bits d'arrêt

UCMODEx : UCAXCTL0[2 1] sélection du mode asynchrone pour UCSYNC=0

00 : Mode USART

01 : Mode multiprocesseurs avec ligne d'attente (idle line)

10 : Mode multiprocesseurs avec bit d'adresse

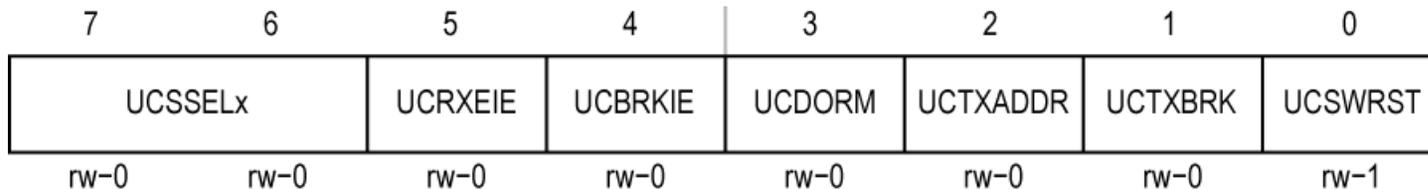
11 : Mode UART avec détection automatique du baudrate

UCSYNC : UCAXCTL0[0] mode de synchronisation

0 : Mode asynchrone

1 : Mode synchrone

Registre de contrôle UCxCTL1



UCSSELx : UCxCTL1[7 6] sélection de l'horloge pour BRCLK

00 : UCLK

01 : ACLK

10 : SMCLK

11 : SMCLK

UCRXEIE : UCxCTL1[5] réception d'un caractère erroné, activation ou non d'une interruption

0 : Caractère rejeté, pas d'interruption activée

1 : Caractère reçu et activation du flag UCxRXIFG

UCBRKIE : UCxCTL1[4] réception d'une séquence Break, activation ou non d'une interruption

0 : pas d'activation du flag UCxRXIFG

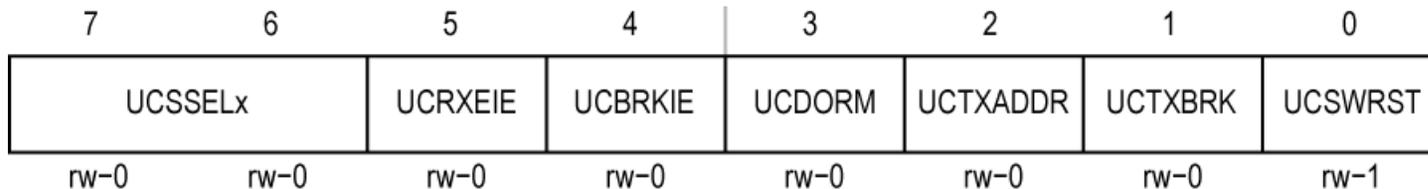
1 : activation du flag UCxRXIFG

UCDORM : UCxCTL1[3] mise en veille de l'USCI

0 : La réception de tous les caractères provoque une activation du flag UCxRXIFG

1 : En mode UART, avec détection automatique du baudrate, seul une combinaison d'une séquence break/synch active le flag UCxRXIFG

Registre de contrôle UCxCTL1



UCTXADDR : UCxCTL1[2] Transmission d'une adresse. La prochaine trame devant être transmise doit être considérée comme une adresse dépendant du mode multiprocesseurs sélectionné

0 : La prochaine trame transmise est une donnée

1 : La prochaine trame transmise est une adresse

UCTXBRK : UCxCTL1[1] Transmission d'une séquence break lors de la prochaine écriture dans le buffer de transmission
En mode UART avec détection automatique du baudrate, 0x55 doit être écrit dans le buffer UCxTXBUF afin de générer la séquence break/synch désirée. Sinon 0x00 doit être écrit dans le buffer de transmission

0 : La prochaine trame transmise est pas une séquence break

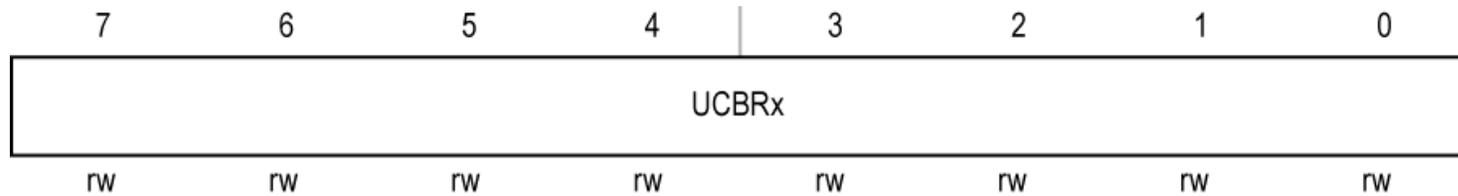
1 : La prochaine trame transmise est une séquence break ou break/synch

UCSWRST : UCxCTL1[0] reset software

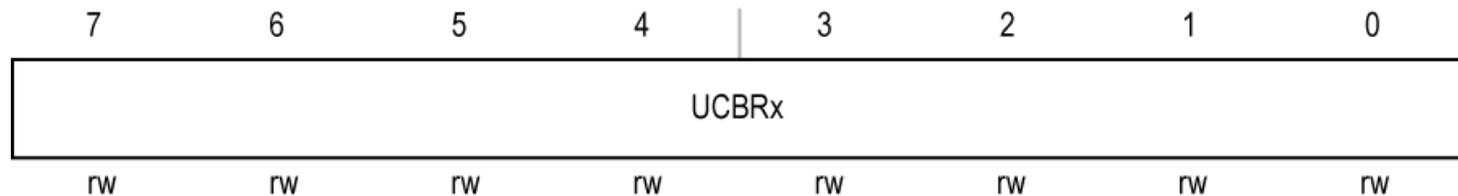
0 : L'USCI travaille normalement

1 : L'USCI est dans l'état reset

Registre de contrôle du baud rate UCxBR0



Registre de contrôle du baud rate UCxBR1



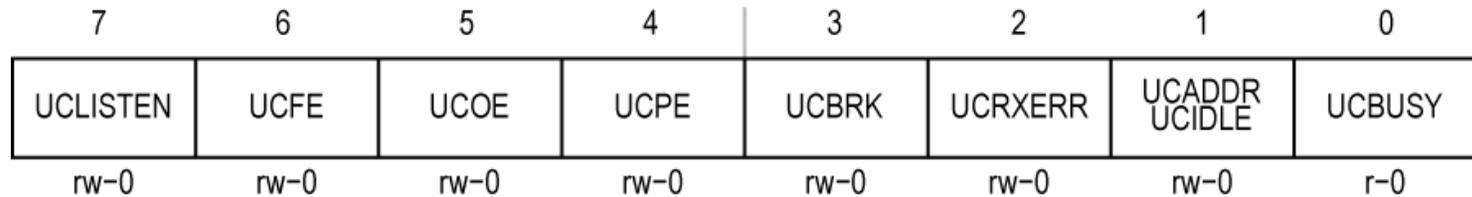
UCxBRx : UCxCTL1[15:0] Division de l'horloge par le générateur de baudrate ($UCxBR0 + UCxBR1 * 256$)

Registre de contrôle de modulation UCxMCTL



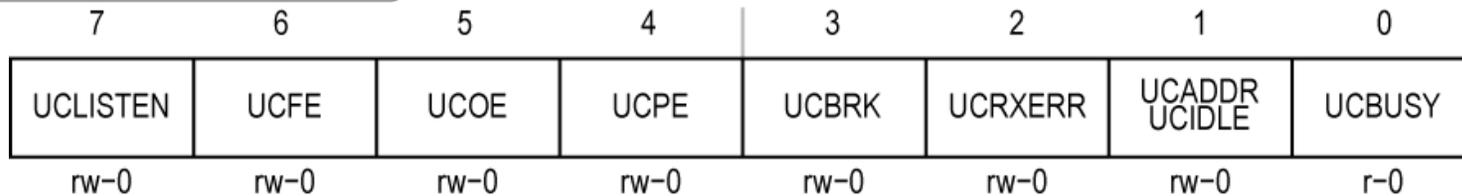
- UCBRFx** : UCxMCTL[7 4] Premier étage de modulation
Ces bits déterminent le pattern de modulation pour BITCLK16 avec UCO16=1. Pour UCO16=0 la modulation n'est pas utilisée
- UCBRSx** : UCxMCTL[3 1] Deuxième étage de modulation
Ces bits déterminent le pattern de modulation pour BITCLK avec UCO16=1. Pour UCO16=0 la modulation n'est pas utilisée
- UCOS16** : UCxMCTL[0] Mode de suréchantillonnage
0 : Mode désactivé
1 : Mode activé

Registre d'état UCxSTAT



- UCLISTEN** : UCxSTAT[7] Activation de l'écoute
 0 : désactivation du mode de lecture des données transmises (loopback)
 1 : activation du mode de lecture des données transmises (loopback)
- UCFE** : UCxSTAT[6] Flag d'erreur de trame
 0 : pas d'erreur détectée
 1 : erreur détectée
- UCOE** : UCxSTAT[5] Flag d'erreur de surécriture
 Ce flag est activé lorsqu'un caractère est transféré dans le buffer de réception UCxRXBUF avant que le caractères précédent soit lu. UCOE est forcé à 0 automatiquement lorsque le buffer UCxRXBUF est lu.
 0 : pas d'erreur de surécriture détectée
 1 : erreur de surécriture détectée
- UCPE** : UCxSTAT[4] erreur de parité, Lorsque UCPEN00, UCPE est maintenu à 0
 0 : pas d'erreur de parité détectée
 1 : erreur de parité détectée

Registre d'état UCxSTAT



UCBRK : UCxSTAT[3] Flag de détection d'une séquence de break

0 : pas de séquence de break détectée

1 : séquence de break détectée

UCRXERR : UCxSTAT[2] Flag d'erreur de réception (UCRXERR=1 → un ou plusieurs flags d'erreur (UCFE, UCPE, UCOE) sont détectés. UCRXERR est forcé à 0 lorsque le buffer de réception UCxRXBUF est lu.

0 : pas d'erreur détectée

1 : erreur détectée

UCADDR : UCxSTAT[1] réception d'un bit d'une adresse en mode « address-bit » multiprocesseur

0 : le caractère reçu est une donnée

1 : le caractère reçu est une adresse

UCIDLE : UCxSTAT[1] détection d'une ligne d'attente en mode « idle-line » multiprocesseur

0 : pas de ligne d'attente « idle » détectée

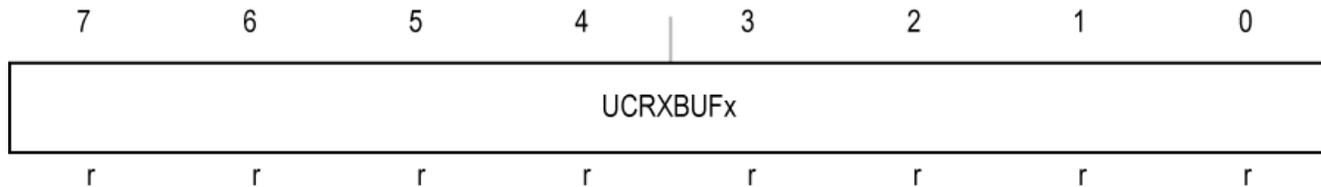
1 : ligne d'attente « idle » détectée

UCBUSY : UCxSTAT[0] USCI occupé. Ce flag indique qu'une opération de transmission ou de réception est en cours

0 : USCI inactif

1 : USCI transmet ou reçoit une donnée.

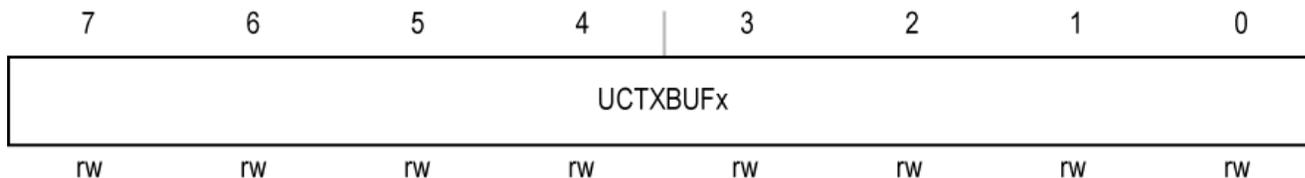
Buffer de réception UCAXRXBUF



UCRXBUF_x : UCAXRXBUF[7:0] Buffer de réception

Ce registre est accessible en lecture. Il contient le dernier caractère reçu par le registre à décalage de réception LA lecture du buffer UCAXRXBUF annule les bits d'erreur de réception ainsi que les bits UCADDR ou UCIDLE et le flag UCAXRXIFG. En mode de données 7 bits, la valeur contenue dans le buffer UCAXRXBUF est justifiée à droite, le MSB est toujours à 0

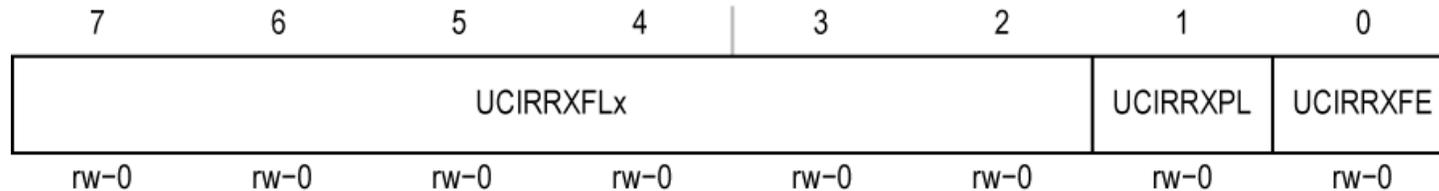
Buffer de réception UCAXTXBUF



UCTXBUF_x : UCAXTXBUF[7:0] Buffer de transmission

Ce registre est accessible en écriture. Il maintient le dernier caractère envoyé jusqu'à ce qu'il soit transféré au registre à décalage de transmission et indiqué par le bit UCAXTXD
L'écriture dans le buffer de transmission force à 0 le flag UCAXTXIFG. LE MSB n'est pas utilisé en mode de données 7 bits.

Registre de contrôle de réception de l'IrDA : UCAXIRRCTL



UCIRRXFLx : UCAXIRRCTL[7 2] Longueur du filtre de réception. La longueur de l'impulsion minimum vaut :

$$t_{\text{PULSE}} = (\text{UCIRRXFLx} + 4) / (2 * f_{\text{IRTXCLK}})$$

UCIRRXPL : UCAXIRRCTL[1] IrDA reçoit une entrée UCAXRXD polarisée

0 : IrDA transmetteur délivre une impulsion haute lorsque impulsion de lumière est vue

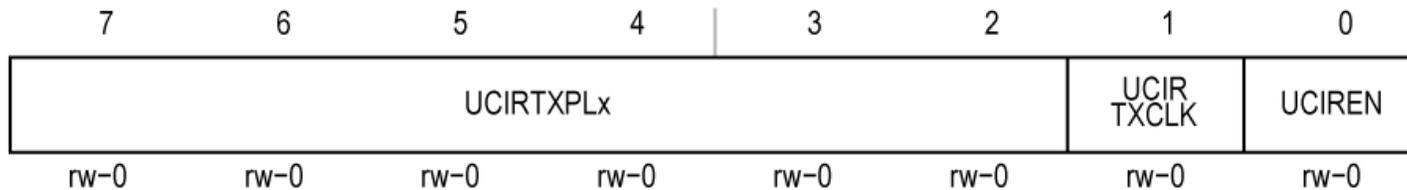
1 : IrDA transmetteur délivre une impulsion basse lorsque impulsion de lumière est vue

UCIRRXFE : UCAXIRRCTL[0] activation du filtre de réception

0 : Filtre de réception désactivé

1 : Filtre de réception activé

Registre de contrôle de transmission de l'IrDA : UCAXIRTCTL



UCIRTXPLx : UCAXIRTCTL[7 2] Longueur de la pulse de transmission

$$t_{\text{PULSE}} = (\text{UCIRTXPLx} + 1) / (2 * f_{\text{IRTCLK}})$$

UCIRTXCL : UCAXIRTCTL[1] Sélection de l'horloge pour la transmission IrDA

0 : BRCLK

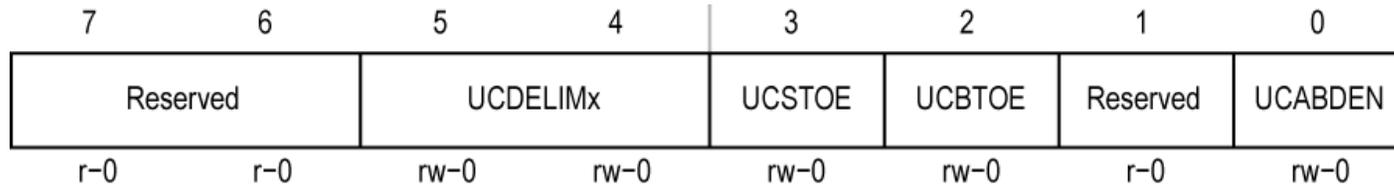
1 : BITCLK16 lorsque UCOS16=1, sinon BRCLK

UCIREN : UCAXIRTCTL[0] activation de l'encodeur/décodeur

0 : Encodeur/décodeur IrDA désactivé

1 : Encodeur/décodeur IrDA activé

Registre de contrôle de détection automatique du baudrate UCxABCTL



Reserved : UCxABCTL[7 6] ces bits sont utilisés pour d'autres module

UCDELIMx : UCxABCTL[1] Bit d'activation des interruptions de transmission

0 : interruption masquée

1 : interruption démasquée

UCSTOE : UCxABCTL [0] Bit d'activation des interruptions de réception

0 : interruption masquée

1 : interruption démasquée

UCBTOE : UCxABCTL [0] Bit d'activation des interruptions de réception

0 : interruption masquée

1 : interruption démasquée

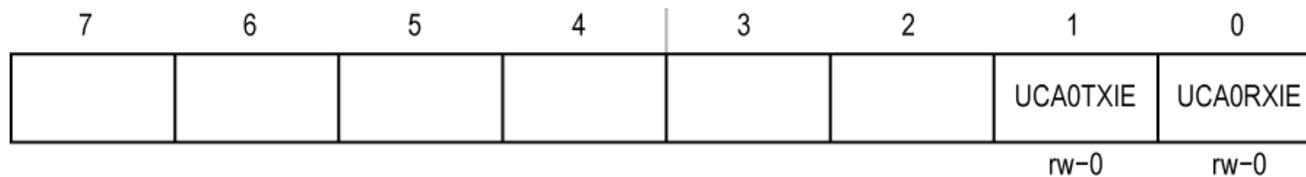
Reserved : UCxABCTL [7 2] ces bits sont utilisés pour d'autres module

UCABDEN : UCxABCTL [1] Bit d'activation des interruptions de transmission

0 : interruption masquée

1 : interruption démasquée

Registre d'activation des interruptions IE2



Unused : IE2[7 2] ces bits sont utilisés pour d'autres module

UCA0TXIE : IE2[1] Bit d'activation des interruptions de transmission

0 : interruption masquée

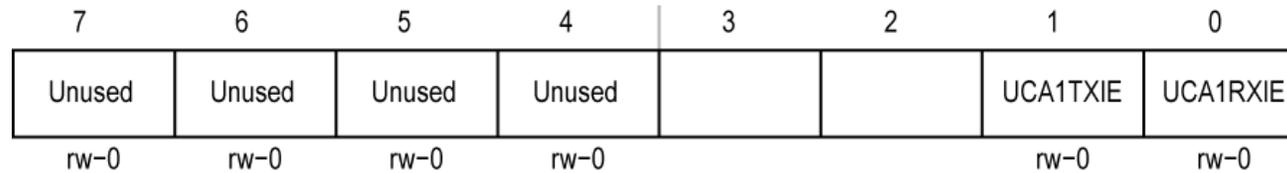
1 : interruption démasquée

UCA0RXIE : IE2[0] Bit d'activation des interruptions de réception

0 : interruption masquée

1 : interruption démasquée

Registre d'activation des interruptions UC1IE



Unused : UC1IE[7 4] non utilisés

: UC1IE[3 2] ces bits sont utilisés pour d'autres module USCI

UCA1TXIE : UC1IE[1] Bit d'activation des interruptions de transmission

0 : interruption masquée

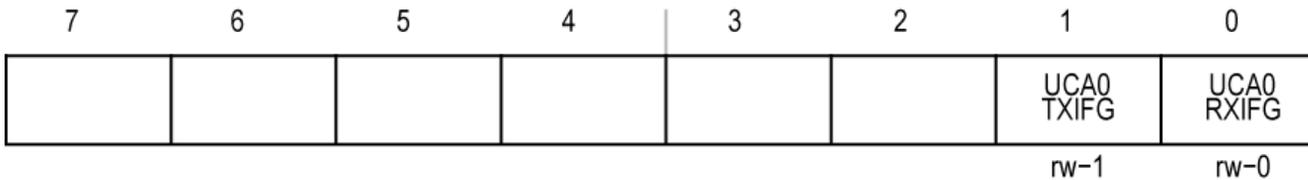
1 : interruption démasquée

UCA1RXIE : UC1IE[0] Bit d'activation des interruptions de réception

0 : interruption masquée

1 : interruption démasquée

Registre des flags d'interruptions IFG2



Unused : IFG2[7 2] ces flags sont utilisés pour d'autres modules

UCA0TXIFG : IFG2[1] Flag de transmission pour le module USCI_A0

UCA1TXIFG est forcé à 1 (activé) lorsque le buffer de transmission UCA0TXBUF est vide

0 : pas d'interruption pendante

1 : interruption pendante

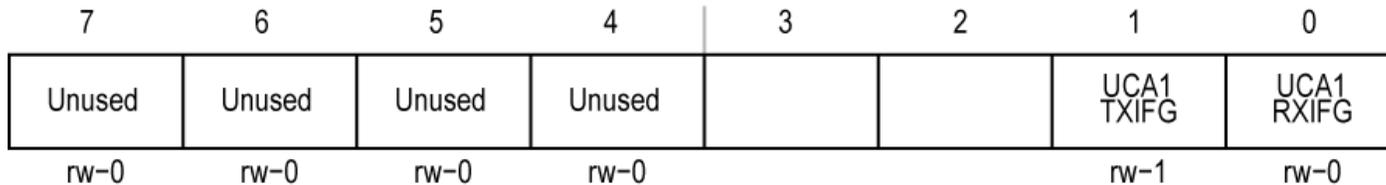
UCA0RXIFG : IFG2[0] Flag de réception pour le module USCI_A0

UCA1RXIFG est forcé à 1 (activé) lorsque le buffer de réception UCA0TXBUF a reçu un caractère complet

0 : pas d'interruption pendante

1 : interruption pendante

Registre des flags d'interruptions UC1IFG



Unused : UC1IFG[7 4] non utilisés

: UC1IFG[3 2] ces flags sont utilisés pour d'autres module USCI

UCA1TXIFG : UC1IFG[1] Flag de transmission pour le module USCI_A1

UCA1TXIFG est forcé à 1 (activé) lorsque le buffer de transmission UCA1TXBUF est vide

0 : pas d'interruption pendante

1 : interruption pendante

UCA1RXIFG : UC1IFG[0] Flag de réception pour le module USCI_A1

UCA1RXIFG est forcé à 1 (activé) lorsque le buffer de réception UCA1RXBUF a reçu un caractère complet

0 : pas d'interruption pendante

1 : interruption pendante